

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-007394

(43)Date of publication of application : 12.01.2001

(51)Int.Cl. H01L 33/00
 C30B 29/38
 C30B 33/00
 H01L 21/203
 H01L 21/205
 H01S 5/343

(21)Application number : 11-172495

(71)Applicant : RICOH CO LTD

(22)Date of filing : 18.06.1999

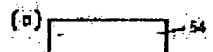
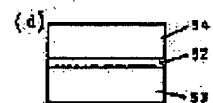
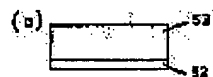
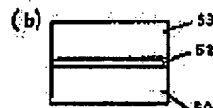
(72)Inventor : IWATA HIROKAZU

(54) SEMICONDUCTOR SUBSTRATE, MANUFACTURE THEREOF AND SEMICONDUCTOR LIGHT EMITTING ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a large-area and high-quality industrially practicable GaN semiconductor substrate, a manufacturing method thereof and a semiconductor light emitting element.

SOLUTION: An InrAlsga1-r-sN ($0 \leq r \leq 1$, $0 \leq s \leq 1$, $r+s \leq 1$) single-crystal film 52 is formed on a first substrate 50, pasted on a second substrate 53 having approximately the same thermal expansion coefficient as that of the InrAlsga1-r-sN ($0 \leq r \leq 1$, $0 \leq s \leq 1$, $r+s \leq 1$) single crystal and separated from the first substrate 50, an InxAlyGa1-x-yN ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal 54 is epitaxially grown on the InrAlsga1-r-sN single crystal film 52, this film 52 pasted on the second substrate 53, and the InxAlyGa1-x-yN single crystal 54 is separated from the second substrate 53.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The process which forms an $\text{InrAlGa}(1-r-s) \text{ N } (0 \leq r \leq 1, 0 \leq s \leq 1, r+s \leq 1)$ single crystal thin film in the 1st substrate, The process at which an $\text{InxAlyGa}(1-x-y) \text{ N } (0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1)$ single crystal and a coefficient of thermal expansion stick an $\text{InrAlGa}(1-r-s) \text{ N } (0 \leq r \leq 1, 0 \leq s \leq 1, r+s \leq 1)$ single crystal thin film on the 2nd almost equivalent substrate, The process which separates an $\text{InrAlGa}(1-r-s) \text{ N } (0 \leq r \leq 1, 0 \leq s \leq 1, r+s \leq 1)$ single crystal thin film from the 1st substrate, On the $\text{InrAlGa}(1-r-s) \text{ N } (0 \leq r \leq 1, 0 \leq s \leq 1, r+s \leq 1)$ single crystal thin film stuck on the 2nd substrate The process which grows epitaxially an $\text{InxAlyGa}(1-x-y) \text{ N } (0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1)$ single crystal, According to the process which separates an $\text{InxAlyGa}(1-x-y) \text{ N } (0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1)$ single crystal from the 2nd substrate The production method of the semiconductor substrate characterized by producing an $\text{InxAlyGa}(1-x-y) \text{ N } (0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1)$ single crystal as a semiconductor substrate.

[Claim 2] It is the production method of the semiconductor substrate characterized by the 2nd substrate being a polycrystal $\text{IntAluGa}(1-t-u) \text{ N } (0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1)$ substrate in the production method of a semiconductor substrate according to claim 1.

[Claim 3] In the production method of a semiconductor substrate according to claim 2 An $\text{InrAlGa}(1-r-s) \text{ N } (0 \leq r \leq 1, 0 \leq s \leq 1, r+s \leq 1)$ single crystal thin film, The production method of a polycrystal $\text{IntAluGa}(1-t-u) \text{ N } (0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1)$ substrate and the semiconductor substrate characterized by all composition of an $\text{InxAlyGa}(1-x-y) \text{ N } (0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1)$ single crystal being the same.

[Claim 4] The process which forms an $\text{IntAluGa}(1-t-u) \text{ N } (0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1)$ single crystal thin film in the 1st substrate, The process which separates an $\text{IntAluGa}(1-t-u) \text{ N } (0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1)$ single crystal thin film from the 1st substrate, The process which sticks an $\text{IntAluGa}(1-t-u) \text{ N } (0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1)$ single crystal thin film on the 2nd substrate through a low melting point metal, On the $\text{IntAluGa}(1-t-u) \text{ N } (0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1)$ single crystal thin film stuck on the 2nd substrate, at the temperature beyond the melting point of a low melting point metal The process which grows epitaxially an $\text{InxAlyGa}(1-x-y) \text{ N } (0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1)$ single crystal, According to the process which separates an $\text{InxAlyGa}(1-x-y) \text{ N } (0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1)$ single crystal from the 2nd substrate at the temperature beyond the melting point of a low melting point metal The production method of the semiconductor substrate characterized by producing an $\text{InxAlyGa}(1-x-y) \text{ N } (0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1)$ single crystal as a semiconductor substrate.

[Claim 5] The process which forms an $\text{IntAluGa}(1-t-u) \text{ N } (0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1)$ single crystal thin film in the 1st substrate, The process which separates an $\text{IntAluGa}(1-t-u) \text{ N } (0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1)$ single crystal thin film from the 1st substrate, The process which sticks an $\text{IntAluGa}(1-t-u) \text{ N } (0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1)$ single crystal thin film on the 2nd substrate through the metal Ga of a melting state, On the $\text{IntAluGa}(1-t-u) \text{ N } (0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1)$ single crystal thin film stuck on the 2nd substrate, at the temperature beyond the melting point of Metal Ga The process made to cool without growing epitaxially an $\text{InxAlyGa}(1-x-y) \text{ N } (0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1)$ single crystal, and making Metal Ga solidify, According to the process which separates an $\text{InxAlyGa}(1-x-y) \text{ N } (0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1)$ single crystal from the 2nd substrate at the temperature beyond the melting point of Metal Ga The production method of the semiconductor substrate characterized by producing an $\text{InxAlyGa}(1-x-y) \text{ N } (0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1)$ single crystal as a semiconductor substrate.

[Claim 6] It is the production method of the semiconductor substrate characterized by the 1st substrate of the above having the coefficient of thermal expansion of the same grade as an $\text{IntAluGa}(1-t-u) \text{ N } (0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1)$ single crystal thin film in the production method of a semiconductor substrate according to claim 4 or 5.

[Claim 7] The semiconductor substrate characterized by the bird clapper from the $\text{InxAlyGa}(1-x-y) \text{ N } (0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1)$ single crystal produced by any 1 term of a claim 1 or a claim 6 by the production method of a publication.

[Claim 8] The semiconductor light emitting device characterized by carrying out the laminating of the GaN system semiconductor laminated structure expressed with general formula $\text{InvAlwGa}(1-v-w) \text{ N } (0 \leq v \leq 1, 0 \leq w \leq 1, v+w \leq 1)$ containing at least one PN junction, and constituting it on the semiconductor substrate of the $\text{InxAlyGa}(1-x-y) \text{ N } (0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1)$ single crystal of a claim 7.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the semiconductor substrate used for the light sources for optical pickups, such as DVD and CD, etc., its production method, and a semiconductor light emitting device.

[0002]

[Description of the Prior Art] Although brightness is small and blue Light Emitting Diode had a difficulty in utilization conventionally compared with red or green In the GaN system compound semiconductor expressed with a general formula InAlGaIn in recent years By having obtained improvement in the crystal-growth technology by using a low-temperature AlN buffer layer or a low-temperature GaN buffer layer, and the p type semiconductor layer of low resistance which doped Mg Blue Light Emitting Diode of high brightness was put in practical use, and further, although it did not result in utilization, the semiconductor laser which carries out continuous oscillation at a room temperature was realized.

[0003] By the way, generally, when growing a quality semiconductor layer epitaxially on a substrate, the lattice constant and coefficient of thermal expansion of a substrate and a semiconductor layer need to be of the same grade. However, at present, the substrate with which a GaN system semiconductor is simultaneously satisfied of these does not exist. Although the attempt which produces a GaN bulk single crystal is made now, the actual condition is that only the about several mm thing is still obtained, and it is in a state far from utilization. Therefore, generally they are sapphire and MgAl₂O₄. It is growing up on a substrate which a lattice constant and a coefficient of thermal expansion are large, and is different from a spinel and a GaN system semiconductor like SiC. Therefore, with the GaN system semiconductor, the technology which suppresses generating of the crystal defect which originates in the difference in the lattice constant of a substrate and a semiconductor laser crystal or a coefficient of thermal expansion for production of the semiconductor laser which needs a quality crystal layer is used.

[0004] Drawing 12 is a cross section of the conventional end-face luminescence type semiconductor laser shown in reference "Applied Physics Letters Vol.72(1998) P.211", and although the above technology was used, the number of the semiconductor laser of drawing 12 is also one. The conventional semiconductor laser shown in drawing 12 is formed on the low defective substrate produced combining a selective growth and lateral growth.

[0005] That is, the semiconductor laser of drawing 12 is produced by the following methods. First, the low-temperature buffer layer 112 which consists of n type GaN on the sapphire (2Oaluminum3 single crystal) substrate 111 which makes a principal plane a field (0001) with a thickness of 100-300 micrometers, and the elevated-temperature buffer layer 113 which consists of n type GaN are grown up. Subsequently, SiO₂ is deposited on the front face of the n type GaN layer 113, a stripe-like pattern is opened, and the selective-growth mask 114 is formed. Next, the front face of the GaN layer 113 exposed from this mask is made to carry out the selective growth of the GaN. And further, growth is continued, lateral growth of a up to [a mask front face] is performed, finally an n type GaN single crystal layer with a thickness of about 20 micrometers is formed, and it is considering as the substrate for semiconductor laser crystal growths.

[0006] And semiconductor laser structure The n-In_{0.1}Ga_{0.9}N crack prevention layer 115, n-aluminum_{0.14}Ga_{0.86}N/GaN The MD-SLS (modulation dope strained super lattice) clad layer 116, the n-GaN light-guide layer 117, and In_{0.15}Ga_{0.85}N/In_{0.02}Ga_{0.98}N The MQW barrier layer 118, the p-aluminum_{0.2}Ga_{0.8}N transposition propagation prevention layer 119, the p-GaN layer light-guide layer 120, the p-aluminum_{0.14}Ga_{0.86}N/GaNMD-SLS clad layer 121, and the cap layer 122 that consists of a p type GaN layer by the MOCVD method The laminating is carried out one by one. By carrying out dry etching of this semiconductor layer by which the laminating was carried out to the shape of a ridge, an optical waveguide and an optical-resonator end face are formed, and semiconductor laser is formed by forming the n lateral electrode 125 and the p lateral electrode 123 in the cap layer 122 which is a surface of the n-GaN layer 113 exposed by etching, and the semiconductor layer by which the laminating was carried out further, respectively.

[0007] By development of the semiconductor laser formation technology to the low defective substrate top produced combining the selective growth and lateral growth which were shown in drawing 12, the life of the room temperature continuous oscillation of semiconductor laser is also prolonged with low-power output near the room temperature till about estimated 10000 hours. Concretely, the life of continuous oscillation (20 degrees C and 2mW) is prolonged by such GaN system semiconductor laser of structure till about estimated 10000 hours.

[0008] however, the cleavage plane of the light emitting device which used a conventional GaN system compound semiconductor layer like drawing 12 of a substrate and a GaN system compound semiconductor not necessarily corresponds in order to grow up to be the different-species substrate from which the crystal structure differs — ***** — formation of a laser cavity end face — laser, such as the conventional AlGaAs system, — it is difficult to carry out by the cleavage method [like]

[0009] In the conventional example of drawing 12, the optical-resonator end face is produced by methods, such as dry etching. Therefore, processes, such as removal of formation of the mask for dry etching, dry etching, and a mask, were needed, and the production process was also complicated. The smooth nature — since it is not yet established, there is vertical-reinforcement-like irregularity in the formed resonator mirror, and the dry etching technology of a GaN system compound semiconductor is formed in the shape of a taper — parallelism, and perpendicularity were not yet still more enough. Moreover, when a resonator mirror was formed by dry etching, in order that a substrate might remain as a terrace ahead of a resonator mirror end face, light was reflected by this terrace and the shape of beam did not become a single crest

by it.

[0010] Moreover, since silicon on sapphire was insulation, the light emitting device which used the conventional GaN system compound semiconductor formed on silicon on sapphire was not able to take an electrode from a substrate rear face. Therefore, an electrode will be formed in an element front face, and when mounting which forms and carries out die bonding of the electrode to a substrate rear face like laser, such as the conventional AlGaAs system, was not able to be performed, the problem that chip area became large only in the part of the space of an electrode also remained. Moreover, in thermally conductive elevated-temperature operation from badness or thermally conductive high power operation of silicon on sapphire, the life was extremely short.

[0011] Although the case where a c-th (0001) plane SiC substrate and 2OMgAl(111)4 substrate are used is reported about the GaN system laser element in substrates other than silicon on sapphire, in using a SiC substrate, a crack enters at the time of a crystal growth from the difference in the coefficient of thermal expansion of SiC and a GaN system semiconductor, and formation of the laminated structure of thickness sufficient as laser structure is difficult, and has not resulted in room temperature continuous oscillation. Moreover, (111), since it is insulation like sapphire when using 2OMgAl4 substrate, an electrode cannot be formed in a substrate rear face.

[0012] The report which separated the GaN system semiconductor layer which carried out the crystal growth from the substrate on silicon on sapphire that the trouble of the GaN system semiconductor laser produced by such dissimilar-material substrate should be solved, produced the GaN substrate, and produced GaN system semiconductor laser is also made.

[0013] Drawing 13 is a cross section of the conventional end-face luminescence type semiconductor laser shown in reference "Jpn.J.Appl.Phys.Vol.37(1998) pp.L309-L312", and the laser structure of the structure as drawing 12 where the semiconductor laser of drawing 13 is the same is formed on a GaN substrate.

[0014] The semiconductor laser of drawing 13 a field (0001) namely, on the substrate 131 with a thickness of 80 micrometers it is thin from GaN made into a principal plane The elevated-temperature buffer layer 132 and the n-In_{0.1}Ga_{0.9}N crack prevention layer 133 which consist of n type GaN, n-aluminum_{0.14}Ga_{0.86}N/GaN The MD-SLS (modulation dope strained super lattice) clad layer 134, the n-GaN light-guide layer 135, In_{0.15}Ga_{0.85}N/In_{0.02}Ga_{0.98}N The MQW barrier layer 136, the p-aluminum_{0.2}Ga_{0.8}N transposition propagation prevention layer 137, the p-GaN layer light-guide layer 138, p-aluminum_{0.14}Ga_{0.86}N/GaN The MD-SLS clad layer 139 and the cap layer 140 which consists of a p type GaN layer by the MOCVD method The laminating is carried out one by one. By carrying out dry etching of this semiconductor layer by which the laminating was carried out to the shape of a ridge, an optical waveguide is formed and semiconductor laser is formed by forming the n lateral electrode 143 and the p lateral electrode 141 in the cap layer 140 which is a surface of the n-GaN layer 132 exposed by etching, and the semiconductor layer by which the laminating was carried out further, respectively. The resonator mirror of laser is produced by the cleavage.

[0015] Thus, on the low defective substrate of the semiconductor laser shown in drawing 12, the GaN substrate of drawing 13 produces what grew the GaN layer about 100 micrometers instead of the laminated structures 115-122 of semiconductor laser, after that, carries out polish removal of the silicon on sapphire, and is produced as a GaN substrate with a thickness of 80 micrometers.

[0016] Moreover, since the end-face luminescence type semiconductor laser shown in drawing 13 is formed on the GaN substrate, formation of a resonator mirror can be performed by the cleavage. Consequently, there was no reflection by the substrate and the shape of beam became a single crest. Moreover, since thermal conductivity is high compared with silicon on sapphire, the thermolysis property improved, high power operation was attained, and, as for the life, 50 degrees C and 30mW operation have also been prolonged till 250 hours.

[0017] Like the example of drawing 13, after growing up a GaN system semiconductor thickly on a single crystal substrate, a GaN system semiconductor layer is separated from a substrate, and some methods of producing a GaN system semiconductor substrate are proposed. For example, after forming the buffer layer which consists of ZnO on silicon on sapphire and growing up a GaN system semiconductor on it, dissolution removal of the buffer layer is carried out, and the method of separating and producing a substrate and a GaN system semiconductor is indicated by JP,7-202265,A and JP,7-165498,A.

[0018] Moreover, the 1st wafer with which the GaN system semiconductor grew on the 1st substrate, and the 2nd wafer with which the GaN system semiconductor grew on the 2nd substrate are prepared, and as each GaN system semiconductors stick the 1st wafer and 2nd wafer, after pasting up, the method of carrying out polish removal of the 1st substrate and 2nd substrate is indicated by JP,10-229218,A.

[0019]

[Problem(s) to be Solved by the Invention] As mentioned above, by the technology of a low-temperature buffer layer, or the production technology of the low defective substrate by the combination of a selective growth and lateral growth, the crystal growth of the quality GaN system compound semiconductor to a different-species substrates top, such as sapphire, became possible, and reinforcement at the time of low-power output operation near the room temperature of GaN system semiconductor laser was attained. Furthermore, a GaN substrate is produced and an improvement of the property of GaN system semiconductor laser is being expected by using this substrate. However, an industrially utilizable large area and an industrially utilizable quality GaN substrate are not yet realized.

[0020] Since the curvature of a wafer will arise by the production method of the GaN substrate shown in drawing 13 according to the coefficient-of-thermal-expansion difference of GaN and silicon on sapphire if thick GaN is grown up, it is difficult to carry out polish removal of the silicon on sapphire whose diameter is about 2 inches. That is, it was difficult to produce the GaN substrate of a large area by the method of polish removal of a substrate like before. Moreover, as for the property of semiconductor laser, it was not necessarily good that a defect was introduced into a GaN layer, crystallinity became bad in process of the silicon-on-sapphire polish for this curvature, and the threshold current density of the semiconductor laser produced on it increased etc.

[0021] Moreover, as each GaN system semiconductors stick the 1st wafer and 2nd wafer which are indicated by JP,10-229218,A, after pasting up, since a wafer will curve if GaN is thickly grown up by the method of removing the 1st substrate and 2nd substrate, by the difference in the coefficient of thermal expansion of a substrate and a GaN system semiconductor, with the wafer of a large area, GaN system semiconductors may not stick completely all over a wafer. Moreover, a crack may

enter in process of adhesion. Furthermore, in order to carry out polish removal of the 1st substrate and 2nd substrate, two expensive substrates will be used to produce one GaN substrate, and there were also problems, such as becoming high cost. [0022] Moreover, the technology shown in JP,7-202265,A and JP,7-165498,A, i.e., the technology which produces the GaN substrate which does not require polish removal of a substrate, took the long time very much carrying out dissolution removal of the buffer layer which consists of ZnO of a thin film, and utilization was difficult.

[0023] this invention solves the trouble of the production method of such a conventional GaN system semiconductor substrate, and aims at offering the semiconductor substrate, its production method, and semiconductor light emitting device of an industrially utilizable large area and a quality GaN system.

[0024]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, invention according to claim 1 The process which forms an $\text{InrAlGa}(1-r-s)$ N ($0 \leq r \leq 1$, $0 \leq s \leq 1$, $r+s \leq 1$) single crystal thin film in the 1st substrate, The process at which an $\text{InxAlyGa}(1-x-y)$ N ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal and a coefficient of thermal expansion stick an $\text{InrAlGa}(1-r-s)$ N ($0 \leq r \leq 1$, $0 \leq s \leq 1$, $r+s \leq 1$) single crystal thin film on the 2nd almost equivalent substrate, The process which separates an $\text{InrAlGa}(1-r-s)$ N ($0 \leq r \leq 1$, $0 \leq s \leq 1$, $r+s \leq 1$) single crystal thin film from the 1st substrate, On the $\text{InrAlGa}(1-r-s)$ N ($0 \leq r \leq 1$, $0 \leq s \leq 1$, $r+s \leq 1$) single crystal thin film stuck on the 2nd substrate The process which grows epitaxially an $\text{InxAlyGa}(1-x-y)$ N ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal, According to the process which separates an $\text{InxAlyGa}(1-x-y)$ N ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal from the 2nd substrate, it is characterized by producing an $\text{InxAlyGa}(1-x-y)$ N ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal as a semiconductor substrate.

[0025] Moreover, invention according to claim 2 is characterized by the 2nd substrate being a polycrystal $\text{IntAluGa}(1-t-u)$ N ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) substrate in the production method of a semiconductor substrate according to claim 1.

[0026] Moreover, invention according to claim 3 is set to the production method of a semiconductor substrate according to claim 2. An $\text{InrAlGa}(1-r-s)$ N ($0 \leq r \leq 1$, $0 \leq s \leq 1$, $r+s \leq 1$) single crystal thin film, It is characterized by all composition of a polycrystal $\text{IntAluGa}(1-t-u)$ N ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) substrate and an $\text{InxAlyGa}(1-x-y)$ N ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal being the same.

[0027] The process at which invention according to claim 4 forms an $\text{IntAluGa}(1-t-u)$ N ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) single crystal thin film in the 1st substrate, The process which separates an $\text{IntAluGa}(1-t-u)$ N ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) single crystal thin film from the 1st substrate, The process which sticks an $\text{IntAluGa}(1-t-u)$ N ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) single crystal thin film on the 2nd substrate through a low melting point metal, On the $\text{IntAluGa}(1-t-u)$ N ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) single crystal thin film stuck on the 2nd substrate, at the temperature beyond the melting point of a low melting point metal The process which grows epitaxially an $\text{InxAlyGa}(1-x-y)$ N ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal, According to the process which separates an $\text{InxAlyGa}(1-x-y)$ N ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal from the 2nd substrate at the temperature beyond the melting point of a low melting point metal It is characterized by producing an $\text{InxAlyGa}(1-x-y)$ N ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal as a semiconductor substrate.

[0028] Moreover, the process at which invention according to claim 5 forms an $\text{IntAluGa}(1-t-u)$ N ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) single crystal thin film in the 1st substrate, The process which separates an $\text{IntAluGa}(1-t-u)$ N ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) single crystal thin film from the 1st substrate, The process which sticks an $\text{IntAluGa}(1-t-u)$ N ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) single crystal thin film on the 2nd substrate through the metal Ga of a melting state, On the $\text{IntAluGa}(1-t-u)$ N ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) single crystal thin film stuck on the 2nd substrate, at the temperature beyond the melting point of Metal Ga The process made to cool without growing epitaxially an $\text{InxAlyGa}(1-x-y)$ N ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal, and making Metal Ga solidify, According to the process which separates an $\text{InxAlyGa}(1-x-y)$ N ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal from the 2nd substrate at the temperature beyond the melting point of Metal Ga It is characterized by producing an $\text{InxAlyGa}(1-x-y)$ N ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal as a semiconductor substrate.

[0029] Moreover, as for the 1st substrate of the above, invention according to claim 6 is characterized by having the coefficient of thermal expansion of the same grade as an $\text{IntAluGa}(1-t-u)$ N ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) single crystal thin film in the production method of a semiconductor substrate according to claim 4 or 5.

[0030] Moreover, invention according to claim 7 is characterized by the bird clapper from the $\text{InxAlyGa}(1-x-y)$ N ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal with which the semiconductor substrate was produced by any 1 term of a claim 1 or a claim 6 by the production method of a publication.

[0031] A semiconductor light emitting device invention according to claim 8 moreover, on the semiconductor substrate of the $\text{InxAlyGa}(1-x-y)$ N ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal of a claim 7 It is characterized by carrying out the laminating of the GaN system semiconductor laminated structure expressed with general formula $\text{InVAlWGa}(1-V-W)$ N ($0 \leq v \leq 1$, $0 \leq w \leq 1$, $v+w \leq 1$) containing at least one PN junction, and constituting it.

[0032]

[Embodiments of the Invention] Hereafter, the operation gestalt of this invention is explained based on a drawing. Drawing 1 is drawing showing the example of a production process of the semiconductor substrate concerning this invention. The process which forms the $\text{InrAlGa}(1-r-s)$ N ($0 \leq r \leq 1$, $0 \leq s \leq 1$, $r+s \leq 1$) single crystal thin film 52 in the a. 1st substrate 50 (single crystal substrate) in the example of a production process of drawing 1 (drawing 1 (a)), b. The process at which an $\text{InxAlyGa}(1-x-y)$ N ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal and a coefficient of thermal expansion stick the $\text{InrAlGa}(1-r-s)$ N ($0 \leq r \leq 1$, $0 \leq s \leq 1$, $r+s \leq 1$) single crystal thin film 52 on the 2nd almost equivalent substrate 53 (drawing 1 (b)), c. The process which separates the $\text{InrAlGa}(1-r-s)$ N ($0 \leq r \leq 1$, $0 \leq s \leq 1$, $r+s \leq 1$) single crystal thin film 52 from the 1st substrate (single crystal substrate) 50 (drawing 1 (c)), d. on the $\text{InrAlGa}(1-r-s)$ N ($0 \leq r \leq 1$, $0 \leq s \leq 1$, $r+s \leq 1$) single crystal thin film 52 stuck on the 2nd substrate 53 The process which grows epitaxially the $\text{InxAlyGa}(1-x-y)$ N ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal 54 (drawing 1 (d)), e. It has the process (drawing 1 (e)) which separates the $\text{InxAlyGa}(1-x-y)$ N ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal 54 from the 2nd substrate 53. Finally, the $\text{InxAlyGa}(1-x-y)$ N ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal substrate 54 is produced.

[0033] Here, as the 1st substrate (single crystal substrate) 50, the c-th page (0001) of sapphire, the a-th page (11-20) of sapphire, MgAl_2O_4 spinel (111) sides, the c-th page (0001) of 6 H-SiC, the m-th page (1-100) of 6 H-SiC etc., etc. are usable.

[0034] Moreover, in the process of a, as the crystal-growth method of the $\text{InrAlGa}(1-r-s)$ N ($0 \leq r \leq 1$, $0 \leq s \leq 1$, $r+s \leq 1$) single crystal thin film 52, although meanses, such as MOCVD, HVPE, and MBE, are usable You may use the other methods,

as long as it is the method that the crystal growth of the $\text{InrAlGa}(1-r-s) \text{N}$ ($0 \leq r \leq 1$, $0 \leq s \leq 1$, $r+s \leq 1$) single crystal thin film 52 can be carried out to the 1st substrate (single crystal substrate) 50 instead of what is limited to the above-mentioned method. Moreover, in case the $\text{InrAlGa}(1-r-s) \text{N}$ ($0 \leq r \leq 1$, $0 \leq s \leq 1$, $r+s \leq 1$) single crystal thin film 52 is grown up The surface layer of the crystal layer which did not interfere even if it deposited low-temperature buffer layers, such as GaN and AlN, previously, and grew using the 1st substrate (single crystal substrate) 10 should just be an $\text{InrAlGa}(1-r-s) \text{N}$ ($0 \leq r \leq 1$, $0 \leq s \leq 1$, $r+s \leq 1$) single crystal.

[0035] In the process of b as the 2nd substrate 53 Moreover, a single crystal Or the molybdenum substrate ($6 \times 10^{-6} \text{m}$) of a polycrystal, single crystal YAlO₃ substrate, a single crystal GGG (Gd₃Ga₅O₁₂) substrate, Or the single crystal which adjusted raw material composition and was produced so that a coefficient of thermal expansion might become of the same grade as the $\text{InxAlyGa}(1-x-y) \text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal 54, polycrystal, or an amorphous object is usable.

[0036] moreover, as a method of sticking on the 2nd substrate 53 Although it is possible to heat a wafer in the nitrogen-gas-atmosphere mind pressurized more than the decomposition pressure of a nitride semiconductor, and to paste up the $\text{InrAlGa}(1-r-s) \text{N}$ ($0 \leq r \leq 1$, $0 \leq s \leq 1$, $r+s \leq 1$) single crystal thin film 52 and the 2nd substrate 53 directly by diffused junction If it is the method which does not have trouble in growing epitaxially the $\text{InxAlyGa}(1-x-y) \text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal 54 in removal of the 1st substrate 50 in the process of c, and the process of d, it will not interfere, even if it is the other methods.

[0037] The grade of attachment moreover, the whole surface surface of the $\text{InrAlGa}(1-r-s) \text{N}$ ($0 \leq r \leq 1$, $0 \leq s \leq 1$, $r+s \leq 1$) single crystal thin film 52 If it is the grade which does not have trouble in it not being completely joined to the 2nd substrate 53, and growing epitaxially the $\text{InxAlyGa}(1-x-y) \text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal 54 in removal of the 1st substrate 50 in the process of c, or the process of d It does not interfere by the grade joined partially, either. Moreover, the bonding strength does not have trouble in growing epitaxially the $\text{InxAlyGa}(1-x-y) \text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal 54 in removal of the 1st substrate 50 in the process of c, or the process of d, and even if weak, it does not interfere.

[0038] Moreover, in the process of c, as a method of separating the 1st substrate (single crystal substrate) 50 from the $\text{InrAlGa}(1-r-s) \text{N}$ ($0 \leq r \leq 1$, $0 \leq s \leq 1$, $r+s \leq 1$) single crystal thin film 52, although chemical etching, polish, etc. are usable, it is not limited especially and is usable suitably.

[0039] In the process of d, moreover, on the $\text{InrAlGa}(1-r-s) \text{N}$ ($0 \leq r \leq 1$, $0 \leq s \leq 1$, $r+s \leq 1$) single crystal thin film 52 stuck on the 2nd substrate 53 As a method of growing epitaxially, the $\text{InxAlyGa}(1-x-y) \text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal 54 Although not limited especially, since a thick single crystal layer is grown up, the quick method of growth rates, such as the HVPE method and the high-speed MOCVD method, is desirable. Moreover, it is possible by doping n type and p type dopant to control a conduction type.

[0040] Moreover, in the process of e, as a method of separating the $\text{InxAlyGa}(1-x-y) \text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal 54 from the 2nd substrate 53, although chemical etching, polish, etc. are usable, it is not limited especially and is possible suitably.

[0041] Drawing 2 is drawing showing the example of the example of a production process shown in drawing 1. In the example of a process of drawing 2, the n type GaN single crystal substrate is produced as a semiconductor substrate.

[0042] If drawing 2 is referred to, first, ammonium will be used for an III group raw material by making hydrogen gas into carrier gas at 520 degrees C at trimethylgallium and V group raw material, about 25nm of GaN buffer layers 51 will be deposited on c-th (0001) plane silicon on sapphire 50 with a diameter of 2 inches, a temperature up will be carried out to 1050 degrees C after that, and 8 micrometers will grow the GaN single crystal layer 52 (drawing 2 (a)).

[0043] Subsequently, the polycrystal Mo substrate 53 which carried out polishing of the front face and was made into the shape of a mirror plane, and the front face of the GaN single crystal 52 are stuck, and it transports to an annealer in the state where it fixed strongly with the heat-resistant fixture. And in 20 in nitrogen-gas-atmosphere mind atmospheric pressure, and 1100 degrees C, annealing is performed and diffused junction of both is carried out (drawing 2 (b)).

[0044] Subsequently, polish equipment is used and polish removal of the sapphire (0001) substrate 50 is carried out (drawing 2 (c)). At this time, since the GaN buffer layer 51 is a layer containing the polycrystal layer which grew at low temperature, it carries out polish removal simultaneously, and it carries out polishing of the front face of the exposed GaN single crystal layer 52 to the shape of a mirror plane further.

[0045] Subsequently, the Mo substrate 53 is transported to HVPE equipment, by making N₂ gas into carrier gas, in a metal gallium and V group raw material, a silicon tetrachloride (SiCl₄) is used for HCl gas and an III group raw material, and 300 micrometers grows up [in a raw material] the n type GaN single crystal 54 to be reactant gas at ammonia gas and n type dopant gas at the front face of the GaN single crystal layer 52 exposed at 1050 degrees C (drawing 2 (d)).

[0046] Subsequently, polish equipment is used and polish removal of the Mo substrate 53 is carried out. Furthermore, polishing of the front face of the exposed GaN single crystal layer 54 is carried out to the shape of a mirror plane, and the n type GaN single crystal substrate 54 with a thickness of 300 micrometers is produced (drawing 2 (e)). Thus, an n type GaN single crystal substrate is producible as a semiconductor substrate.

[0047] In drawing 1 and the example of a production process of drawing 2, by taking an above-mentioned process, there are no generating and curvature of a crack by growing up to be the big substrate 50 of a coefficient-of-thermal-expansion difference thickly, and the $\text{InxAlyGa}(1-x-y) \text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal substrate 54 of a practical area is produced. Moreover, since the crystal structure or lattice constant will not interfere even if they differ from each other if the 2nd substrate 53 has the coefficient of thermal expansion almost equivalent to the $\text{InxAlyGa}(1-x-y) \text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal 54 The width of face of substrate selection increases and the $\text{InxAlyGa}(1-x-y) \text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal substrate 54 is produced by the low cost by choosing a cheap substrate.

[0048] By the way, by above-mentioned drawing 1 and the production method of drawing 2, when the 2nd substrate 53 which consists of a different material from the $\text{InxAlyGa}(1-x-y) \text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal 54 was used, there was a case where restrictions were attached to crystal-growth conditions, such as crystal-growth temperature and growth atmosphere, by the 2nd melting point and chemical stability of a substrate. Moreover, the concern diffused as an impurity into the $\text{InxAlyGa}(1-x-y) \text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal 54 also had the composition element of the 2nd substrate 53.

[0049] In order to avoid such a problem, it is good to use the 2nd substrate 53 as the polycrystal $\text{InAlGa}(1-t-u) \text{N}$ ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) substrate which consists of an $\text{InxAlyGa}(1-x-y) \text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal layer

54 and a material of the same kind. That is, it is good to use the 2nd substrate 53 as a polycrystal $\text{In}_t\text{Al}_u\text{Ga}_{1-t-u}\text{N}$ ($0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1$) substrate.

[0050] Drawing 3 is drawing showing the example of a production process in the case of using the 2nd substrate 53 as a polycrystal $\text{In}_t\text{Al}_u\text{Ga}_{1-t-u}\text{N}$ ($0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1$) substrate. In addition, in the example of drawing 3, the n type $\text{In}_{0.1}\text{Ga}_{0.9}\text{N}$ single crystal substrate is produced as a semiconductor substrate.

[0051] If drawing 3 is referred to, first, ammonium will be used for an III group raw material by making hydrogen gas into carrier gas at 520 degrees C. at trimethylgallium and V group raw material, about 25nm of GaN buffer layers 51 will be deposited on c-th (0001) plane silicon on sapphire 50 with a diameter of 2 inches, a temperature up will be carried out to 1050 degrees C after that, and 8 micrometers will grow the GaN single crystal layer 52 (drawing 3 (a)).

[0052] Subsequently, the front face of the polycrystal GaN substrate 53 which carried out polishing of the front face and was made into the shape of a mirror plane, and the GaN single crystal layer 52 is stuck (drawing 3 (b)), and it transports to an annealer in the state where it fixed strongly with the heat-resistant fixture. And in 20 in nitrogen-gas-atmosphere mind atmospheric pressure, and 1100 degrees C, annealing is performed and diffused junction of both is carried out.

[0053] Subsequently, polish equipment is used and polish removal of the sapphire (0001) substrate 50 is carried out. At this time, since the GaN buffer layer 51 is a layer containing the polycrystal layer which grew at low temperature, it carries out polish removal simultaneously, and it carries out polishing of the front face of the exposed GaN single crystal layer 52 to the shape of a mirror plane further (drawing 3 (c)).

[0054] Subsequently, the polycrystal GaN substrate 53 is transported to MOVPE equipment, a mono silane is used for an III group raw material in ammonia gas, a monomethylhydrazine, and n type dopant gas by making N_2 gas into carrier gas at trimethylgallium, trimethylindium, and V group raw material, and 200 micrometers grows up the n type $\text{In}_{0.1}\text{Ga}_{0.9}\text{N}$ single crystal 54 to be the front face of the GaN single crystal layer 52 exposed at 800 degrees C (drawing 3 (d)).

[0055] Subsequently, polish equipment is used and polish removal of the polycrystal GaN substrate 53 is carried out. Furthermore, polishing of the front face of the exposed GaN single crystal layer 54 is carried out to the shape of a mirror plane, and the n type $\text{In}_{0.1}\text{Ga}_{0.9}\text{N}$ single crystal substrate 54 with a thickness of about 200 micrometers is produced (drawing 3 (e)).

[0056] Thus, since the 2nd substrate 53 is a polycrystal $\text{In}_t\text{Al}_u\text{Ga}_{1-t-u}\text{N}$ ($0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1$) substrate according to the example of a process of drawing 3 There are no generating and curvature of a crack by growing up to be the big substrate of a coefficient-of-thermal-expansion difference thickly, and the $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$) single crystal substrate 54 of a practical area is produced. Moreover, since the composition element is the same, mixing of the impurity from a substrate is reduced.

[0057] by the way, in the example of a production process of drawing 3 By using the polycrystal $\text{In}_t\text{Al}_u\text{Ga}_{1-t-u}\text{N}$ ($0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1$) substrate which turns into the 2nd substrate 53 from the $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$) single crystal layer 54 and a material of the same kind Although the concern which loses the restrictions by the 2nd substrate 53 of the growth conditions of the $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$) single crystal layer 54, and the composition element of a substrate 53 mixes as an impurity was reduced The polycrystal $\text{In}_t\text{Al}_u\text{Ga}_{1-t-u}\text{N}$ ($0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1$) substrate 53 Since mixed-crystal composition differs, a coefficient of thermal expansion differs from an $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$) single crystal layer in the 2nd substrate 53 and the $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$) single crystal layer 54. Therefore, we are anxious about a defect occurring for the heat distortion resulting from a coefficient-of-thermal-expansion difference.

[0058] In order to avoid such a problem, it sets for the example of a production process of drawing 3. $\text{In}_r\text{Al}_s\text{Ga}_{1-r-s}\text{N}$ ($0 \leq r \leq 1, 0 \leq s \leq 1, r+s \leq 1$) Composition of the single crystal thin film 52, the polycrystal $\text{In}_t\text{Al}_u\text{Ga}_{1-t-u}\text{N}$ ($0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1$) substrate 53, and the $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$) single crystal 54 It is good to make all the same, to make mostly the coefficient-of-thermal-expansion difference of the 2nd substrate 53 and the crystal layer 54 into zero, and to reduce generating of the defect by heat distortion.

[0059] Drawing 4 $\text{In}_r\text{Al}_s\text{Ga}_{1-r-s}\text{N}$ ($0 \leq r \leq 1, 0 \leq s \leq 1, r+s \leq 1$) Composition of the single crystal thin film 52, the polycrystal $\text{In}_t\text{Al}_u\text{Ga}_{1-t-u}\text{N}$ ($0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1$) substrate 53, and the $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$) single crystal 54 It is drawing showing the example of a production process in the case of making all the same. In addition, in the example of drawing 4, the n type aluminum $_{0.15}\text{Ga}_{0.85}\text{N}$ single crystal substrate is produced as a semiconductor substrate.

[0060] If drawing 4 is referred to, first, ammonium will be used for an III group raw material by making hydrogen gas into carrier gas at 520 degrees C at trimethylgallium and V group raw material, about 25nm of aluminum $_{0.15}\text{Ga}_{0.85}\text{N}$ buffer layers 51 will be deposited on c-th (0001) plane silicon on sapphire 50 with a diameter of 2 inches, a temperature up will be carried out to 1050 degrees C after that, and 8 micrometers will grow the aluminum $_{0.15}\text{Ga}_{0.85}\text{N}$ single crystal layer 52 (drawing 4 (a)).

[0061] Subsequently, the polycrystal aluminum $_{0.15}\text{Ga}_{0.85}\text{N}$ substrate 53 which carried out polishing of the front face and was made into the shape of a mirror plane, and the front face of the aluminum $_{0.15}\text{Ga}_{0.85}\text{N}$ single crystal 52 are stuck (drawing 4 (b)), and it transports to an annealer in the state where it fixed strongly with the heat-resistant fixture. And in 20 in nitrogen-gas-atmosphere mind atmospheric pressure, and 1100 degrees C, annealing is performed and diffused junction of both is carried out.

[0062] Subsequently, polish equipment is used and polish removal of the sapphire (0001) substrate 50 is carried out. At this time, since the aluminum $_{0.15}\text{Ga}_{0.85}\text{N}$ buffer layer 51 is a layer containing the polycrystal layer which grew at low temperature, it carries out polish removal simultaneously, and it carries out polishing of the front face of the exposed aluminum $_{0.15}\text{Ga}_{0.85}\text{N}$ single crystal layer 52 to the shape of a mirror plane further (drawing 4 (c)).

[0063] Subsequently, the aluminum $_{0.15}\text{Ga}_{0.85}\text{N}$ substrate 53 is transported to MOVPE equipment, a mono silane is used for an III group raw material in ammonia gas and n type dopant gas by making H_2 gas into carrier gas at trimethylgallium, a trimethylaluminum, and V group raw material, and 300 micrometers grows up the n type aluminum $_{0.15}\text{Ga}_{0.85}\text{N}$ single crystal 54 to be the front face of the aluminum $_{0.15}\text{Ga}_{0.85}\text{N}$ single crystal layer 52 exposed at 1050 degrees C (drawing 4 (d)).

[0064] Subsequently, polish equipment is used and polish removal of the polycrystal aluminum $_{0.15}\text{Ga}_{0.85}\text{N}$ substrate 53 is carried out. Furthermore, polishing of the front face of the exposed aluminum $_{0.15}\text{Ga}_{0.85}\text{N}$ single crystal layer 54 is carried out to the shape of a mirror plane, and the n type aluminum $_{0.15}\text{Ga}_{0.85}\text{N}$ single crystal substrate 54 with a thickness of 300 micrometers is produced (drawing 4 (e)).

[0065] Although the above-mentioned example showed the example which produces an n type aluminum0.15Ga0.85N single crystal substrate as a semiconductor substrate, an n type GaN single crystal substrate is also producible as other examples. Drawing 4 which mentioned above the method of producing an n type GaN single crystal substrate for convenience is used and explained.

[0066] As a semiconductor substrate, when producing an n type GaN single crystal substrate, first, ammonium is used for an III group raw material by making hydrogen gas into carrier gas at 520 degrees C at trimethylgallium and V group raw material, about 25nm of GaN buffer layers 51 is deposited on c-th (0001) plane silicon on sapphire 50 with a diameter of 2 inches, a temperature up is carried out to 1050 degrees C after that, and 8 micrometers grows the GaN single crystal layer 52 (drawing 4 (a)).

[0067] Subsequently, the polycrystal GaN substrate 33 and the front face of the GaN single crystal 32 are stuck (drawing 4 (b)), and it transports to an annealer in the state where it fixed strongly with the heat-resistant fixture. And in 20 in nitrogen-gas-atmosphere under atmospheric pressure, and 1100 degrees C, annealing is performed and diffused junction of both is carried out.

[0068] Subsequently, polish equipment is used and polish removal of the sapphire (0001) substrate 50 is carried out. At this time, since the GaN buffer layer 51 is a layer containing the polycrystal layer which grew at low temperature, it carries out polish removal simultaneously, and it carries out polishing of the front face of the exposed GaN single crystal layer 52 to the shape of a mirror plane further (drawing 4 (c)).

[0069] Subsequently, the polycrystal GaN substrate 53 is transported to HVPE equipment, by making N₂ gas into carrier gas, in a metal gallium and V group raw material, a silicon tetrachloride (SiCl₄) is used for HCl gas and an III group raw material, and 300 micrometers grows up [in a raw material] the n type GaN single crystal 54 to be reactant gas at ammonia gas and n type dopant gas at the front face of the GaN single crystal layer 52 exposed at 1050 degrees C (drawing 4 (d)).

[0070] Subsequently, polish equipment is used and polish removal of the polycrystal GaN substrate 53 is carried out. Furthermore, polishing of the front face of the exposed GaN single crystal layer 54 is carried out to the shape of a mirror plane, and the n type GaN single crystal substrate 54 with a thickness of 300 micrometers is produced (drawing 4 (e)).

[0071] Thus, according to the example of a production process of drawing 4 InrAlsGa N (1-r-s) The single crystal thin film 52, (0<=r<=1, 0<=s<=1, r+s<=1) Since all composition of the polycrystal InxAluGa(1-t-u) N (0<=t<=1, 0<=u<=1, t+u<=1) substrate 53 and the InxAluGa(1-x-y) N (0<=x<=1, 0<=y<=1, x+y<=1) single crystal 54 is the same Rather than the production method of drawing 3, generating and the curvature of a crack by the coefficient-of-thermal-expansion difference are reduced further, and the InxAluGa(1-x-y) N (0<=x<=1, 0<=y<=1, x+y<=1) single crystal substrate 54 of a practical area still more nearly quality than the production method of drawing 3 is produced. Moreover, since the composition element is the same, the impurity from a substrate is also reduced.

[0072] In this invention, the InxAluGa(1-x-y) N (0<=x<=1, 0<=y<=1, x+y<=1) single crystal substrate 54 produced by each production method which was mentioned above can be offered. And the conductive substrate which shows a desired conduction type can be offered by doping n type and p type dopant at the process which grows the InxAluGa(1-x-y) N (0<=x<=1, 0<=y<=1, x+y<=1) single crystal 54.

[0073] That is, in this invention, the InxAluGa(1-x-y) N (0<=x<=1, 0<=y<=1, x+y<=1) single crystal substrate of the large area which a GaN system semiconductor and a coefficient-of-thermal-expansion difference are not almost, and was equipped with grid adjustment, thermal conductivity, cleavage, and conductivity can be offered. Moreover, since the c-th plane (0001) of sapphire, the a-th plane (11-20) of sapphire, MgAl₂O₄ spinel (111) sides, the c-th plane (0001) of 6 H-SiC, the m-th plane (1-100) of 6 H-SiC etc., etc. are usable, the 1st substrate 50 By the direction of a field of a substrate, it becomes the InxAluGa(1-x-y) N (0<=x<=1, 0<=y<=1, x+y<=1) single crystal substrate which makes a principal plane the c-th (0001) plane and the m-th (1-100) plane. For example, if the c-th plane (0001) of sapphire, the a-th plane (11-20) of sapphire, MgAl₂O₄ spinel (111) sides, and the c-th plane (0001) of 6 H-SiC are used for the 1st substrate 50 (0001) If it becomes the InxAluGa(1-x-y) N (0<=x<=1, 0<=y<=1, x+y<=1) single crystal substrate which makes the c-th plane a principal plane and the m-th plane (1-100) substrate of 6 H-SiC is used (1-100) It becomes the InxAluGa(1-x-y) N (0<=x<=1, 0<=y<=1, x+y<=1) single crystal substrate which makes the m-th plane a principal plane.

[0074] Moreover, on the InxAluGa(1-x-y) N (0<=x<=1, 0<=y<=1, x+y<=1) single crystal substrate 54 produced in this invention as mentioned above The laminating of the GaN system semiconductor laminated structure expressed with general formula InxAlwGa(1-v-w) N (0<=v<=1, 0<=w<=1, v+w<=1) containing at least one PN junction is carried out, and a semiconductor light emitting device can be offered.

[0075] Current is impressed to the electrode corresponding to p type of a semiconductor light emitting device, and n type layer, current is poured into PN junction, and a semiconductor light emitting device emits light by the reunion of a carrier. It has at least one PN junction, and current is poured into this PN junction, and if the GaN system compound semiconductor laminated structure which constitutes a semiconductor light emitting device is structure which emits light by the reunion of a carrier, no matter they may be homozygous, a single heterojunction, a double heterojunction, quantum well structure, multiplex quantum well structure, and what other structures, it will not interfere.

[0076] Moreover, in this invention, since the cleavage was possible for the substrate, when the InxAluGa(1-x-y) N (0<=x<=1, 0<=y<=1, x+y<=1) single crystal substrate 54 was used for the substrate of a semiconductor light emitting device, and a semiconductor light emitting device is made into semiconductor laser, it can have a laser resonator mirror by the good cleavage of parallelism and smooth nature. Furthermore, it is possible by making a substrate into conductivity to consider as the light emitting device which had the electrode formed in a substrate rear face (namely, thing for which n type and p type dopant are doped to the InxAluGa(1-x-y) N (0<=x<=1, 0<=y<=1, x+y<=1) single crystal substrate 54).

[0077] Drawing 5 is drawing showing the example of the semiconductor light emitting device concerning this invention. In addition, the semiconductor light emitting device of drawing 5 is constituted as semiconductor laser. If drawing 5 is referred to, this semiconductor light emitting device on the n-aluminum0.15Ga0.85N single crystal substrate 54 produced by the production method which was mentioned above The n-GaN buffer layer 31, the n-aluminum0.15Ga0.85N clad layer 32, the n-GaN light-guide layer 33, the In0.15Ga0.85 N/In0.02Ga0.98N multiplex quantum well structure barrier layer 34, the p-GaN light-guide layer 35, It has the laminated structure to which the laminating of the p-aluminum0.15Ga0.85N clad layer 36 and the p-GaN cap layer 37 was carried out one by one.

[0078] And the ridge structure where ***** using a remnants strike rye pattern with a width of face of 5 micrometers,

and from the front face of the p type GaN cap layer 37 of this laminated structure to the middle of the p-aluminum_{0.15}Ga_{0.85}N clad layer 36 serves as a waveguide is formed. Here, the direction of a waveguide is the <1-100> direction.

[0079] Thus, the protective layer 38 which consists of SiO₂ has accumulated on p-aluminum_{0.15}Ga_{0.85}N clad layer 36 front face exposed by forming ridge structure. Moreover, the p side ohmic electrode 39 is formed on the p-GaN cap layer 37.

Moreover, the n side ohmic electrode 40 is formed in the rear face of the n-aluminum_{0.15}Ga_{0.85}N single crystal substrate 54. The optical-resonator side of this semiconductor laser is formed by carrying out the cleavage of the m-th (1-100) page.

[0080] In the semiconductor light emitting device of drawing 5, the crystal growth of the n-GaN buffer layer 31, the n-aluminum_{0.15}Ga_{0.85}N clad layer 32, the n-GaN light-guide layer 33, the In_{0.15}Ga_{0.85}N/In_{0.02}Ga_{0.98}N multiplex quantum well structure barrier layer 34, the p-GaN light-guide layer 35, the p-aluminum_{0.15}Ga_{0.85}N clad layer 36, and the p-GaN cap layer 37 was carried out by the MOCVD method.

[0081] Moreover, the p side ohmic electrode 39 carried out vacuum deposition, and it is 700 degrees C in temperature, and Au/Pt/nickel was heat-treated for 20 minutes and it formed it. Moreover, the n side ohmic electrode 40 carried out vacuum deposition of aluminum/Ti, heat-treated it, and formed it.

[0082] If current is impressed to the p side ohmic electrode 39 and the n side ohmic electrode 40, current is poured into the In_{0.15}Ga_{0.85}N/In_{0.02}Ga_{0.98}N multiplex quantum well structure barrier layer 34, and the semiconductor laser of drawing 5 emits light by the reunion of a carrier, and reflective amplification will be repeated by the resonator side formed of the cleavage, and it will be outputted outside as a laser beam.

[0083] In the semiconductor laser of drawing 5, the clad layer which a crack could not go into a substrate 54 easily at the time of a crystal growth even if it enlarged the mixed-crystal ratio of aluminum of a clad layer compared with the case where sapphire and a GaN substrate are used, since the n-aluminum_{0.15}Ga_{0.85}N single crystal substrate of the same composition as a clad layer was used, therefore equipped it with sufficient composition and sufficient thickness of light to shut up can be formed. Consequently, there is no aggravation of the shape of beam by the leakage of the light from a clad layer, and semiconductor laser with low oscillation threshold current density is produced.

[0084] Drawing 6 is drawing showing other examples of a production process of the semiconductor substrate concerning this invention. The process which forms the IntAluGa(1-t-u) N (0<=t<=1, 0<=u<=1, t+u<=1) single crystal thin film 12 in the a. 1st substrate 10 (single crystal substrate) in the example of a production process of drawing 6 (drawing 6 (a)), b. The process which separates the IntAluGa(1-t-u) N (0<=t<=1, 0<=u<=1, t+u<=1) single crystal thin film 12 from the 1st substrate (single crystal substrate) 10 (drawing 6 (b)), c. The process which sticks the IntAluGa(1-t-u) N (0<=t<=1, 0<=u<=1, t+u<=1) single crystal thin film 12 on the 2nd substrate 15 through the low melting point metal 16 (drawing 6 (c)), d. On the IntAluGa(1-t-u) N (0<=t<=1, 0<=u<=1, t+u<=1) single crystal thin film 12 stuck on the 2nd substrate 15, at the temperature beyond the melting point of the low melting point metal 16 The process which grows epitaxially the InxAluGa(1-x-y) N (0<=x<=1, 0<=y<=1, x+y<=1) single crystal 17 (drawing 6 (d)), e. It has the process (drawing 6 (e)) which separates the InxAluGa(1-x-y) N (0<=x<=1, 0<=y<=1, x+y<=1) single crystal 17 from the 2nd substrate 15 at the temperature beyond the melting point of the low melting point metal 16. Finally, the InxAluGa(1-x-y) N (0<=x<=1, 0<=y<=1, x+y<=1) single crystal substrate 17 is produced.

[0085] Here, as the 1st substrate (single crystal substrate) 10, the c-th page (0001) of sapphire, the a-th page (11-20) of sapphire, MaAl₂O₄ spinel (111) sides, the c-th page (0001) of 6 H-SiC, the m-th page (1-100) of 6 H-SiC etc., etc. are usable.

[0086] Moreover, in the process of a, as the crystal-growth method of the IntAluGa(1-t-u) N (0<=t<=1, 0<=u<=1, t+u<=1) single crystal thin film 12, although MOCVD, HVPE, MBE, etc. are usable You may use the other methods, as long as it is the method that the crystal growth of the IntAluGa(1-t-u) N (0<=t<=1, 0<=u<=1, t+u<=1) single crystal thin film 12 can be carried out to the 1st substrate (single crystal substrate) 10 instead of what is limited to the above-mentioned method. Moreover, before growing up the IntAluGa(1-t-u) N (0<=t<=1, 0<=u<=1, t+u<=1) single crystal thin film 12 The surface layer of the crystal layer which did not interfere even if it deposited previously low-temperature buffer layers, such as GaN and AlN, and other layers, and grew using the 1st substrate (single crystal substrate) 10 should just be an IntAluGa(1-t-u) N (0<=t<=1, 0<=u<=1, t+u<=1) single crystal.

[0087] moreover, in the process of b, as a method of separating the IntAluGa(1-t-u) N (0<=t<=1, 0<=u<=1, t+u<=1) single crystal thin film 12 from the 1st substrate (single crystal substrate) 10 After sticking the IntAluGa(1-t-u) N (0<=t<=1, 0<=u<=1, t+u<=1) single crystal thin film 12 on a support substrate, The method of removing the 1st substrate (single crystal substrate) 10 by methods, such as chemical etching and polish Between the 1st substrate (single crystal substrate) 10 and the IntAluGa(1-t-u) N (0<=t<=1, 0<=u<=1, t+u<=1) single crystal layer 12 Although the way ***** the layer and a lift off separates the 1st substrate (single crystal substrate) 10 etc. is usable after growing up the layer which can be etched, it is not limited to the above-mentioned method, especially concerning the method of separation.

[0088] Moreover, in the process of c, as long as the melting point is a low thing as a low melting point metal 16 from the growth temperature of InxAluGa(1-x-y) N (0<=x<=1, 0<=y<=1, x+y<=1), and the temperature which separates the 2nd substrate 15, a single metal or an alloy is sufficient. For example, an indium, tin, a gallium, etc. are usable. Moreover, if stable [in the growth temperature and growth atmosphere] as the 2nd substrate 15 in case an InxAluGa(1-x-y) N (0<=x<=1, 0<=y<=1, x+y<=1) single crystal is grown epitaxially at a next process, it is good, and a single crystal, polycrystal, and an amorphous substance are not asked for sapphire, Si, a quartz, etc., but it is usable.

[0089] In the process of d, on the IntAluGa(1-t-u) N (0<=t<=1, 0<=u<=1, t+u<=1) single crystal thin film 12 stuck on the 2nd substrate 15, moreover, at the temperature beyond the melting point of the low melting point metal 16 When growing epitaxially the InxAluGa(1-x-y) N (0<=x<=1, 0<=y<=1, x+y<=1) single crystal 17, The IntAluGa(1-t-u) N (0<=t<=1, 0<=u<=1, t+u<=1) single crystal thin film 12 Since it is on molten metal 16, the crystal growth of a single crystal 17 progresses without being influenced of the coefficient-of-thermal-expansion difference of the 2nd substrate 15 and the InxAluGa(1-x-y) N (0<=x<=1, 0<=y<=1, x+y<=1) single crystal 17, the difference in the crystal structure, etc. Although it does not limit, since especially the method of a crystal growth grows the thick single crystal layer 17, its quick method of growth rates, such as the HVPE method and the high-speed MOCVD method, is desirable. Moreover, it is possible by doping n type and p type dopant to control a conduction type.

[0090] Drawing 7 and drawing 8 are drawings showing the example of the example of a production process shown in drawing

6. In drawing 7 and the example of a process of drawing 8, the n type GaN single crystal substrate is produced as a semiconductor substrate.

[0091] If drawing 7 and drawing 8 are referred to, the GaN layer 12 will be first grown up by the MOCVD method on c-th (0001) plane silicon on sapphire 10 with a diameter of 2 inches. Growth of the GaN layer 12 is performed by the MOCVD method, ammonia is used for an III group raw material by making hydrogen gas into carrier gas at 520 degrees C at trimethylgallium and V group raw material, about 25nm of GaN buffer layers 11 is deposited, and a temperature up is carried out to 1050 degrees C after that, and it is made when 10 micrometers grows the GaN single crystal layer 12 (drawing 7 (a)). [0092] Subsequently, the front face of the GaN single crystal layer 12 is pasted up on the support substrate 14 with the adhesives 13 of an organic system (drawing 7 (b-1)), and, subsequently polish removal of the silicon on sapphire 10 is carried out with polish equipment (drawing 7 (b-2)).

[0093] Subsequently, the quartz substrate 15 and the GaN single crystal layer 12 are pasted up by the indium 16 (drawing 7 (c-1)). Here, an indium 16 is carried on the quartz substrate 15, as the adhesion method, further, GaN single crystal layer 12 front face is made into an indium 16 side, and is carried, and the GaN single crystal layer 12 stuck on the support substrate 14 on it is heated to the temperature beyond the melting point of an indium 16, and an indium 16 is changed into a melting state and it pastes up.

[0094] After an appropriate time, the adhesives 13 of an organic system are dissolved by the organic solvent, and the support substrate 14 is separated (drawing 8 (c-2)).

[0095] Subsequently, transport the quartz substrate 15 which pasted up the GaN single crystal layer 12 to HVPE equipment, and N₂ gas is made into carrier gas. Moreover, a silicon tetrachloride (SiCl₄) is used for HCl gas and an III group raw material, and the n type GaN single crystal 17 is grown up [in a raw material / at a metal gallium and V group raw material] to be reactant gas in the thickness of 300 micrometers at 1050 degrees C in ammonia gas and n type dopant gas at the front face of the GaN single crystal layer 12 (drawing 8 (d)).

[0096] Subsequently, the quartz substrate 15 which grew the n type GaN single crystal layer 17 is heated to the temperature beyond the melting point of an indium 16, an indium 16 is changed into a melting state, and the quartz substrate 15 is separated (drawing 8 (e-1)). After an appropriate time, polish equipment is used, polish removal of the GaN buffer layer 11 is carried out, further, polishing of the front face of the GaN single crystal layer 17 is carried out to the shape of a mirror plane, and the n type GaN single crystal substrate 17 with a thickness of about 300 micrometers is produced (drawing 8 (e-2)). Thus, an n type GaN single crystal substrate is producible as a semiconductor substrate.

[0097] In drawing 6, drawing 7, and the example of a production process of drawing 8, by the cooling process after the crystal growth of the $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$) single crystal 17 Since the congealing point of the low melting point metal 16 has not combined the $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$) single crystal layer 17 with a substrate 15 The $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$) single crystal layer 17 as for a thing of a large area Generating and the curvature of a crack by the thermal-contraction difference of the substrate 15 and the $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$) single crystal layer 17 at the time of cooling from crystal-growth temperature to the congealing point of the low melting point metal 16 are reduced. Therefore, the $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$) single crystal substrate 17 of the large area by which a crack and curvature were reduced is producible.

[0098] Moreover, since separation of the $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$) single crystal layer 17 from the 2nd substrate 15 can be performed easily and can be reused, without damaging the 2nd substrate 15, low-cost-ization is attained. Furthermore, since a single crystal, polycrystal, an amorphous substance, etc. can be used for the 2nd substrate 15, low-cost-ization is attained by the width of face of substrate selection spreading and choosing a cheap substrate.

[0099] In addition, Ga (gallium) which has the melting point near the room temperature (about 30 degrees C) as a low melting point metal 16 is used at the process (drawing 6 (c)) of c mentioned above. From epitaxial growth of the $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$) single crystal 17 in the process (drawing 6 (d), (e)) of d and e to separation of the 2nd substrate 15 can also be performed without making Ga solidify.

[0100] namely, -- this case -- a. -- with the process (drawing 6 (a)) which forms the $\text{In}_t\text{Al}_u\text{Ga}_{1-t-u}\text{N}$ ($0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1$) single crystal thin film 12 in the 1st single crystal substrate 10 b. The process which separates the $\text{In}_t\text{Al}_u\text{Ga}_{1-t-u}\text{N}$ ($0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1$) single crystal thin film 12 from the 1st single crystal substrate 10 (drawing 6 (b)), c. The process which sticks the $\text{In}_t\text{Al}_u\text{Ga}_{1-t-u}\text{N}$ ($0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1$) single crystal thin film 12 on the 2nd substrate 15 through the metal Ga(gallium) 16 of a melting state (drawing 6 (c)), d. On the $\text{In}_t\text{Al}_u\text{Ga}_{1-t-u}\text{N}$ ($0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1$) single crystal thin film 12 stuck on the 2nd substrate 15, at the temperature beyond the melting point of a metal Ga(gallium) 16 The process made to cool without growing epitaxially the $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$) single crystal 17, and making a metal Ga(gallium) 16 solidify (drawing 6 (d)), e. It has the process (drawing 6 (e)) which separates the $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$) single crystal 17 from the 2nd substrate 15 at the temperature beyond the melting point of a metal Ga(gallium) 16. Finally, the $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$) single crystal substrate 17 is produced.

[0101] Thus, Ga which has the melting point near the room temperature (about 30 degrees C) as a low melting point metal 16 is used at the process (drawing 6 (c)) of c. From epitaxial growth of the $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$) single crystal 17 in the process (drawing 6 (d), (e)) of d and e Because it is made to perform even separation of the 2nd substrate 15, without making Ga solidify It becomes possible to produce a single crystal substrate, without being influenced at all of heat distortion by the cooling process after the crystal growth by the coefficient-of-thermal-expansion difference of the 2nd substrate 15 and the $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$) single crystal 17.

[0102] Ga which has the melting point near the room temperature (about 30 degrees C) as a low melting point metal 16 is used, and the example in the case of performing from epitaxial growth of the $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$) single crystal 17 to separation of the 2nd substrate 15, without making Ga solidify is explained. In addition, by this example, the n type GaN single crystal substrate is produced as a semiconductor substrate.

[0103] By this example, the GaN layer 12 is first grown up by MOCVD on c-th (0001) plane silicon on sapphire 10 with a diameter of 2 inches. Growth of the GaN layer 12 is performed by MOCVD, ammonia is used for an III group raw material by making hydrogen gas into carrier gas at 520 degrees C at trimethylgallium and V group raw material, about 25nm of GaN buffer layers 11 is deposited, and a temperature up is carried out to 1050 degrees C after that, and it is made when 10 micrometers grows the GaN single crystal layer 12 (drawing 7 (a)).

[0104] Subsequently, the front face of the GaN single crystal layer 12 is pasted up on the support substrate 14 with the adhesives 13 of an organic system (drawing 7 (b-1)), and, subsequently polish removal of the silicon on sapphire 10 is carried out with polish equipment (drawing 7 (b-2)).

[0105] Subsequently, the quartz substrate 15 and the GaN single crystal layer 12 are pasted up by Ga (gallium) 16 (drawing 7 (c-1)). Here, Ga(gallium) 16 is carried on the quartz substrate 15, as the adhesion method, further, GaN single crystal layer 12 front face is made into Ga(gallium) 16 side, and is carried, and the GaN single crystal layer 12 stuck on the support substrate 14 on it is heated to the temperature beyond the melting point of Ga (gallium) 16, and Ga (gallium) 16 is changed into a melting state, and it pastes up.

[0106] After an appropriate time, the binder 13 of an organic system is dissolved by the organic solvent, and the support substrate 14 is separated (drawing 8 (c-2)). Temperature at this time is made below into the melting point of Ga(gallium) 16.

[0107] Subsequently, transport the quartz substrate 15 which pasted up the GaN single crystal layer 12 to HVPE equipment, and N₂ gas is made into carrier gas. Moreover, a silicon tetrachloride (SiCl₄) is used for ammonia gas and n type dopant gas to reactant gas in a metal gallium and V group raw material at HCl gas and an III group raw material. The n type GaN single crystal 17 is grown up to be the thickness of 300 micrometers on the front face of the GaN single crystal substrate 12 at 1050 degrees C (drawing 8 (d)).

[0108] Subsequently, it cools to 35 degrees C beyond the melting point of Ga(gallium) 16 after growth of the n type GaN single crystal 17, this temperature is held, and the quartz substrate 15 is separated (drawing 8 (e-1)). After an appropriate time, polish equipment is used, polish removal of the GaN buffer layer 11 is carried out, further, polishing of the front face of the GaN single crystal layer 17 is carried out to the shape of a mirror plane, and the n type GaN single crystal substrate 17 with a thickness of about 300 micrometers is produced (drawing 8 (e-2)). Thus, an n type GaN single crystal substrate is producible as a semiconductor substrate.

[0109] Thus, Ga which has the melting point near the room temperature (about 30 degrees C) as a low melting point metal 16 is used at the process (drawing 6 (c)) of above-mentioned c. From epitaxial growth of the $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal 17 in the process (drawing 6 (d), (e)) of d and e to separation of the 2nd substrate 15 can also be performed without making Ga solidify. In this case, also in the cooling process in the crystal growth of the $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal 17, and after growth, since a metal Ga(gallium) 16 is in a melting state The $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal layer 17 is not combined with the 2nd substrate 15. Therefore, the $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal layer 17 Also at the time of cooling after a growth end, since the inside of a crystal growth is not influenced at all of the heat distortion by the coefficient-of-thermal-expansion difference of the 2nd substrate 15 and the $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal layer 17, either Even if it makes the $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal layer 17 into a large area, there are no generating and curvature of a crack. Therefore, the $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal substrate 17 of the large area by which a crack and curvature were reduced is producible.

[0110] Moreover, since a single crystal, polycrystal, an amorphous substance, etc. can be used for the 2nd substrate 15, the width of face of substrate selection spreads and it can choose a cheap substrate. Furthermore, since the $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal layer 17 can be easily separated from the 2nd substrate 15, without damaging the 2nd substrate 15, reuse of a substrate is possible. Therefore, low-cost-ization is attained. Moreover, since the same Ga as a base material element is used for a low melting point metal, the impurity contamination by the low melting point metal is reduced.

[0111] Moreover, as for the 1st substrate (single crystal substrate) 10, in the example of a production process mentioned above, it is good to have the coefficient of thermal expansion of the same grade as the $\text{In}_t\text{Al}_u\text{Ga}_{1-t-u}\text{N}$ ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) single crystal thin film 12.

[0112] Namely, on it, the 1st substrate (single crystal substrate) 10 has the $\text{In}_t\text{Al}_u\text{Ga}_{1-t-u}\text{N}$ ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) single crystal thin film 12 and coefficient of thermal expansion of the same grade which carry out a crystal growth, and the $\text{In}_t\text{Al}_u\text{Ga}_{1-t-u}\text{N}$ ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) single crystal thin film 12 should just carry out a crystal growth. For example, in GaN, GaAs, GGG (Gd₃Ga₅O₁₂), etc. can be used. using GaAs (100) in GaAs — a cubic — hexagonal by GaN growing and using GaAs (111) — GaN can be grown up

[0113] Thus, the 1st substrate (single crystal substrate) 10 By having the coefficient of thermal expansion of the same grade as the $\text{In}_t\text{Al}_u\text{Ga}_{1-t-u}\text{N}$ ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) single crystal thin film 12 The curvature and crack which are generated at the time of cooling after growth of the $\text{In}_t\text{Al}_u\text{Ga}_{1-t-u}\text{N}$ ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) single crystal thin film 12 by the coefficient-of-thermal-expansion difference with the 1st substrate 10 decrease. Thereby, the comparatively thick $\text{In}_t\text{Al}_u\text{Ga}_{1-t-u}\text{N}$ ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) single crystal layer 12 can be grown up to be a large area substrate. Therefore, the work which separates the $\text{In}_t\text{Al}_u\text{Ga}_{1-t-u}\text{N}$ ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) single crystal layer 12 from the 1st substrate 10 also becomes easy compared with the case where a thin crystal layer is separated, and yield's improves.

[0114] Moreover, since the coefficient-of-thermal-expansion difference with the 1st substrate 10 is small, the defect to generate is also reduced by heat distortion compared with the case where a coefficient-of-thermal-expansion difference uses a big substrate. Since the $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal layer 17 which finally serves as a substrate grows on the $\text{In}_t\text{Al}_u\text{Ga}_{1-t-u}\text{N}$ ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) single crystal layer 12 with few this defect, it becomes what has a few defect quality. Therefore, there are few impurities and, in addition to a crack and curvature being reduced, a low cost and a quality $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal substrate can be further produced by the large area.

[0115] Moreover, if the 1st substrate (single crystal substrate) 10 has the $\text{In}_t\text{Al}_u\text{Ga}_{1-t-u}\text{N}$ ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) single crystal thin film 12 and the coefficient of thermal expansion of the same grade, even if it has the laminated structure on it, it will not interfere. For example, the laminating of AlAs or the GaAs may be carried out on the GaAs substrate as the 1st substrate 10 like the after-mentioned.

[0116] Moreover, as the crystal-growth method of the $\text{In}_t\text{Al}_u\text{Ga}_{1-t-u}\text{N}$ ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) single crystal thin film 12, although meanses, such as MOCVD, HVPE, and MBE, are usable Especially this does not limit, and as long as it is the method of carrying out the crystal growth of the $\text{In}_t\text{Al}_u\text{Ga}_{1-t-u}\text{N}$ ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) single crystal thin film 12 to the 1st substrate (single crystal substrate) 10, it may use the other methods.

[0117] Moreover, before growing up the $\text{In}_t\text{Al}_u\text{Ga}_{1-t-u}\text{N}$ ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) single crystal thin film 12 The surface

layer of the crystal layer which did not interfere even if it deposited previously low-temperature buffer layers, such as GaN, AlN, and other layers, and grew using the 1st substrate (single crystal substrate) 10 should just be an $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 < x < 1, 0 < y < 1, x+y < 1$) single crystal.

[0118] Drawing 9 and drawing 10 are drawings showing other examples of the example of a production process shown in drawing 6. In addition, in drawing 9 and the example of a process of drawing 10, the n type GaN single crystal substrate is produced as a semiconductor substrate.

[0119] If drawing 9 and drawing 10 are referred to, first, the AlAs layer 21 and the GaAs layer 22 will be grown epitaxially one by one by the MOCVD method on the GaAs (111) substrate 20 with a diameter of 2 inches, and let this be the 1st substrate 10. And the GaN layer 12 is grown up on this 1st substrate 10. Growth of the GaN layer 12 is performed by the MOCVD method, ammonia and a monomethylhydrazine are used for an III group raw material by making hydrogen gas into carrier gas at 520 degrees C at trimethylgallium and V group raw material, about 25nm of GaN buffer layers 11 is deposited, and a temperature up is carried out to 750 degrees C after that, and it is made when 20 micrometers grows the GaN single crystal layer 11 (drawing 9 (a)).

[0120] Subsequently, the front face of the GaN single crystal layer 12 is pasted up on the support substrate 14 with the adhesives 13 of an organic system (drawing 9 (b-1)), subsequently to fluoric acid solution, it dips, etching removal of the AlAs layer 21 is carried out alternatively, and the GaAs substrate 20 is separated (drawing 9 (b-2)).

[0121] Subsequently, the quartz substrate 15 and the GaN single crystal layer 12 are pasted up by Ga (gallium)16 (drawing 9 (c-1)). Ga(gallium) 16 is carried on the quartz substrate 15, as the adhesion method, further, the GaAs layer 22 is made into the Ga (gallium)16 side, and is carried, and the GaN single crystal layer 12 stuck on the support substrate 14 on it is heated to the temperature beyond the melting point of Ga (gallium)16, and Ga (gallium)16 is changed into a melting state, and it pastes up.

[0122] After an appropriate time, the binder 13 of an organic system is dissolved by the organic solvent, and the support substrate 14 is separated (drawing 10 (c-2)). Temperature at this time is made below into the melting point of Ga(gallium) 16.

[0123] Subsequently, the quartz substrate 15 which pasted up the GaN single crystal layer 12 is transported to HVPE equipment, by making N₂ gas into carrier gas, in a metal gallium and V group raw material, a silicon tetrachloride (SiCl₄) is used for HCl gas and an III group raw material, and 300 micrometers grows up [in a raw material] the n type GaN single crystal 17 to be reactant gas at 1050 degrees C at ammonia gas and n type dopant gas at the front face of the GaN single crystal layer 12 (drawing 10 (d)).

[0124] Thus, it cools to 35 degrees C beyond the melting point of Ga(gallium) 16 after growth of the n type GaN single crystal 17, this temperature is held, and the quartz substrate 15 is separated (drawing 10 (e-1)). After an appropriate time, polish equipment is used, polish removal of the GaAs layer 22 and the GaN buffer layer 11 is carried out, further, polishing of the front face of the GaN single crystal layer 17 is carried out to the shape of a mirror plane, and the n type GaN single crystal substrate 17 with a thickness of about 300 micrometers is produced (drawing 10 (e-2)). Thus, an n type GaN single crystal substrate is producible as a semiconductor substrate.

[0125] In drawing 9 and the example of a production process of drawing 10, what carried out the laminating of the AlAs layer 21 and the GaAs layer 22 to the GaAs (111) substrate 20 one by one is used as the 1st substrate 10, and since the selection ratio of etching by the fluoric acid of AlAs and GaAs is very large, it can carry out etching removal only of the AlAs layer 21 easily. Therefore, the GaN single crystal layer 12 of a large area can be separated easily, without moreover damaging the GaAs substrate 20. Therefore, it becomes possible to produce the GaN substrate of a low cost at a large area.

[0126] In this invention, the $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 < x < 1, 0 < y < 1, x+y < 1$) single crystal substrate 17 produced by each production method which was mentioned above can be offered. And the conductive substrate which shows a desired conduction type can be offered by doping n type and p type dopant at the process which grows the $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 < x < 1, 0 < y < 1, x+y < 1$) single crystal 17.

[0127] That is, in this invention, the $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 < x < 1, 0 < y < 1, x+y < 1$) single crystal substrate of the large area which a GaN system semiconductor and a coefficient-of-thermal-expansion difference are not almost, and was equipped with grid adjustment, thermal conductivity, cleavage, and conductivity can be offered.

[0128] Moreover, on the $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 < x < 1, 0 < y < 1, x+y < 1$) single crystal substrate 17 produced in this invention as mentioned above The laminating of the GaN system semiconductor laminated structure expressed with general formula $\text{In}_v\text{Al}_w\text{Ga}_{1-v-w}\text{N}$ ($0 < v < 1, 0 < w < 1, v+w < 1$) containing at least one PN junction is carried out, and a semiconductor light emitting device can be offered.

[0129] Current is impressed to the electrode corresponding to p type of a semiconductor light emitting device, and n type layer, current is poured into PN junction, and a semiconductor light emitting device emits light by the reunion of a carrier. It has at least one PN junction, and current is poured into this PN junction, and if the GaN system compound semiconductor laminated structure which constitutes a semiconductor light emitting device is structure which emits light by the reunion of a carrier, no matter they may be homozygous, a single heterojunction, a double heterojunction, quantum well structure, multiplex quantum well structure, and what other structures, it will not interfere.

[0130] Moreover, in this invention, since the cleavage was possible for the substrate, when the $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 < x < 1, 0 < y < 1, x+y < 1$) single crystal substrate 17 was used for the substrate of a semiconductor light emitting device, and a semiconductor light emitting device is made into semiconductor laser, it can have a laser resonator mirror by the good cleavage of parallelism and smooth nature. Furthermore, it is possible by making a substrate into conductivity to consider as the light emitting device which had the electrode formed in a substrate rear face (namely, thing for which n type and p type dopant are doped to the $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 < x < 1, 0 < y < 1, x+y < 1$) single crystal substrate 17).

[0131] Drawing 11 is drawing showing the example of the semiconductor light emitting device concerning this invention. In addition, the semiconductor light emitting device of drawing 11 is constituted as semiconductor laser. If drawing 11 is referred to, this semiconductor light emitting device has the laminated structure by which the laminating of the n-GaN buffer layer 31, the n-aluminum0.15Ga0.85N clad layer 32, the n-GaN light-guide layer 33, the In0.15Ga0.85 N/In0.02Ga0.98N multiplex quantum well structure barrier layer 34, the p-GaN light-guide layer 35, the p-aluminum0.15Ga0.85N clad layer 36, and the p-GaN cap layer 37 was carried out one by one on the n-GaN single crystal substrate 17 produced by the production method which was mentioned above.

[0132] And the ridge structure which it *****s using a remnants strike writer pattern with a width of face of 5 micrometers from the front face of the p type GaN cap layer 37 of this laminated structure to the middle of the p-aluminum0.15Ga0.85N clad layer 36, and serves as a waveguide is formed. Here, the direction of a waveguide is the <1-100> direction.

[0133] Thus, the protective layer 38 which consists of SiO₂ has accumulated on p-aluminum0.15Ga0.85N clad layer 36 front face exposed by forming ridge structure. Moreover, the p side ohmic electrode 39 is formed on the p-GaN cap layer 37. Moreover, the n side ohmic electrode 40 is formed in the rear face of the n-GaN single crystal substrate 17. The optical-resonator side of this semiconductor laser is formed by carrying out the cleavage of the field (1-100).

[0134] In the semiconductor light emitting device of drawing 11, the crystal growth of the n-GaN buffer layer 31, the n-aluminum0.15Ga0.85N clad layer 32, the n-GaN light-guide layer 33, the In0.15Ga0.85 N/In0.02Ga0.98N multiplex quantum well structure barrier layer 34, the p-GaN light-guide layer 35, the p-aluminum0.15Ga0.85N clad layer 36, and the p-GaN cap layer 37 was carried out by the MOCVD method.

[0135] Moreover, the p side ohmic electrode 39 carried out vacuum deposition, and it is 700 degrees C in temperature, and Au/Pt/nickel was heat-treated for 20 minutes and it formed it. Moreover, the n side ohmic electrode 40 carried out vacuum deposition of aluminum/Ti, heat-treated it, and formed it.

[0136] If current is impressed to the p side ohmic electrode 39 and the n side ohmic electrode 40, current is poured into the In0.15Ga0.85 N/In0.02Ga0.98N multiplex quantum well structure barrier layer 34, and the semiconductor laser of drawing 11 emits light by the reunion of a carrier, and reflective amplification will be repeated by the resonator side formed of the cleavage, and it will be outputted outside as a laser beam.

[0137] Thus, on the In_xAl_yGa(1-x-y) N (0<=x<=1, 0<=y<=1, x+y<=1) single crystal substrate 17 produced in this invention as mentioned above Since the laminating of the GaN system semiconductor laminated structure expressed with general formula In_vAl_wGa(1-v-w) N (0<=v<=1, 0<=w<=1, v+w<=1) containing at least one PN junction is carried out and the semiconductor light emitting device is constituted The light emitting device which consists of a quality crystal layer by which generating of the defect by the difference in grid mismatching or a coefficient of thermal expansion was suppressed can be offered. Moreover, it is also possible to produce the semiconductor laser which has the resonator mirror formed by the light emitting device by which the electrode was formed in the substrate rear face, or the cleavage.

[0138]

[Effect of the Invention] The process which forms an In_rAl_sGa(1-r-s) N (0<=r<=1, 0<=s<=1, r+s<=1) single crystal thin film in the 1st substrate according to invention according to claim 1 as explained above, The process at which an In_xAl_yGa(1-x-y) N (0<=x<=1, 0<=y<=1, x+y<=1) single crystal and a coefficient of thermal expansion stick an In_rAl_sGa(1-r-s) N (0<=r<=1, 0<=s<=1, r+s<=1) single crystal thin film on the 2nd almost equivalent substrate, The process which separates an In_rAl_sGa(1-r-s) N (0<=r<=1, 0<=s<=1, r+s<=1) single crystal thin film from the 1st substrate, On the In_rAl_sGa(1-r-s) N (0<=r<=1, 0<=s<=1, r+s<=1) single crystal thin film stuck on the 2nd substrate The process which grows epitaxially an In_xAl_yGa(1-x-y) N (0<=x<=1, 0<=y<=1, x+y<=1) single crystal, According to the process which separates an In_xAl_yGa(1-x-y) N (0<=x<=1, 0<=y<=1, x+y<=1) single crystal from the 2nd substrate Since an In_xAl_yGa(1-x-y) N (0<=x<=1, 0<=y<=1, x+y<=1) single crystal is produced as a semiconductor substrate There are no generating and curvature of a crack by growing up to be the big substrate of a coefficient-of-thermal-expansion difference thickly, and the In_xAl_yGa(1-x-y) N (0<=x<=1, 0<=y<=1, x+y<=1) single crystal substrate of a practical area can be produced. Moreover, since the 2nd substrate has the coefficient of thermal expansion almost equivalent to an In_xAl_yGa(1-x-y) N (0<=x<=1, 0<=y<=1, x+y<=1) single crystal Even if the crystal structure and lattice constant differ from each other, they do not interfere, its width of face of substrate selection increases by this, and they are choosing a cheap substrate and can produce an In_xAl_yGa(1-x-y) N (0<=x<=1, 0<=y<=1, x+y<=1) single crystal substrate by the low cost.

[0139] According to invention according to claim 2, it sets to the production method of a semiconductor substrate according to claim 1. moreover, the 2nd substrate Since it is a polycrystal In_tAl_uGa(1-t-u) N (0<=t<=1, 0<=u<=1, t+u<=1) substrate There are no generating and curvature of a crack by growing up to be the big substrate of a coefficient-of-thermal-expansion difference thickly, and the In_xAl_yGa(1-x-y) N (0<=x<=1, 0<=y<=1, x+y<=1) single crystal substrate of a practical area can be produced. Moreover, since the composition element is the same, mixing of the impurity from a substrate can be reduced.

[0140] Moreover, according to invention according to claim 3, it sets to the production method of a semiconductor substrate according to claim 2. An In_rAl_sGa(1-r-s) N (0<=r<=1, 0<=s<=1, r+s<=1) single crystal thin film, Since all composition of a polycrystal In_tAl_uGa(1-t-u) N (0<=t<=1, 0<=u<=1, t+u<=1) substrate and an In_xAl_yGa(1-x-y) N (0<=x<=1, 0<=y<=1, x+y<=1) single crystal is the same Generating and the curvature of a crack by the coefficient-of-thermal-expansion difference are reduced further, and the In_xAl_yGa(1-x-y) N (0<=x<=1, 0<=y<=1, x+y<=1) single crystal substrate of a more nearly quality practical area can be produced. Moreover, since the composition element is the same, the impurity from a substrate is also reduced.

[0141] The process which forms an In_tAl_uGa(1-t-u) N (0<=t<=1, 0<=u<=1, t+u<=1) single crystal thin film in the 1st substrate according to invention according to claim 4, The process which separates an In_tAl_uGa(1-t-u) N (0<=t<=1, 0<=u<=1, t+u<=1) single crystal thin film from the 1st substrate, The process which sticks an In_tAl_uGa(1-t-u) N (0<=t<=1, 0<=u<=1, t+u<=1) single crystal thin film on the 2nd substrate through a low melting point metal, On the In_tAl_uGa(1-t-u) N (0<=t<=1, 0<=u<=1, t+u<=1) single crystal thin film stuck on the 2nd substrate, at the temperature beyond the melting point of a low melting point metal The process which grows epitaxially an In_xAl_yGa(1-x-y) N (0<=x<=1, 0<=y<=1, x+y<=1) single crystal, According to the process which separates an In_xAl_yGa(1-x-y) N (0<=x<=1, 0<=y<=1, x+y<=1) single crystal from the 2nd substrate at the temperature beyond the melting point of a low melting point metal Since an In_xAl_yGa(1-x-y) N (0<=x<=1, 0<=y<=1, x+y<=1) single crystal is produced as a semiconductor substrate The In_xAl_yGa(1-x-y) N (0<=x<=1, 0<=y<=1, x+y<=1) single crystal substrate of a practical area in which a crack and curvature were reduced is producible by the low cost.

[0142] Moreover, the process which forms an In_tAl_uGa(1-t-u) N (0<=t<=1, 0<=u<=1, t+u<=1) single crystal thin film in the 1st substrate according to invention according to claim 5, The process which separates an In_tAl_uGa(1-t-u) N (0<=t<=1, 0<=u<=1, t+u<=1) single crystal thin film from the 1st substrate, The process which sticks an In_tAl_uGa(1-t-u) N (0<=t<=1, 0<=u<=1, t+u<=1) single crystal thin film on the 2nd substrate through the metal Ga of a melting state, On the In_tAl_uGa(1-t-u) N (0<=t<=1, 0<=u<=1, t+u<=1) single crystal thin film stuck on the 2nd substrate, at the temperature beyond the melting point

of Metal Ga The process made to cool without growing epitaxially an $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal, and making Metal Ga solidify, According to the process which separates an $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal from the 2nd substrate at the temperature beyond the melting point of Metal Ga Since an $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal is produced as a semiconductor substrate There are few impurities and the $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal substrate of a practical area in which a crack and curvature were reduced can be produced by the low cost.

[0143] Moreover, according to invention according to claim 6, it sets to the production method of a semiconductor substrate according to claim 4 or 5. Since the 1st substrate of the above has the coefficient of thermal expansion of the same grade as an $\text{In}_t\text{Al}_u\text{Ga}_{1-t-u}\text{N}$ ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) single crystal thin film An $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal substrate with a practical quality area in which a crack and curvature were reduced is producible by the low cost.

[0144] Moreover, since it consists of an $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal produced by any 1 term of a claim 1 or a claim 6 by the production method of a publication according to invention according to claim 7 The $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal substrate of the large area equipped with grid adjustment with a GaN system semiconductor, thermal conductivity, cleavage, and conductivity can be offered.

[0145] According to invention according to claim 8, moreover, on the semiconductor substrate of the $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal of a claim 7 Since the laminating of the GaN system semiconductor laminated structure expressed with general formula $\text{In}_v\text{Al}_w\text{Ga}_{1-v-w}\text{N}$ ($0 \leq v \leq 1$, $0 \leq w \leq 1$, $v+w \leq 1$) containing at least one PN junction is carried out and it is constituted, the semiconductor light emitting device which consists of a quality crystal layer in which the defect was reduced can be offered. Moreover, an electrode is formed in a substrate rear face and the semiconductor laser which has a resonator mirror by the cleavage can be offered.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the example of a production process of the semiconductor substrate concerning this invention.

[Drawing 2] It is drawing showing the example of the example of a production process of the semiconductor substrate shown in drawing 1 .

[Drawing 3] It is drawing showing the example of a production process in the case of using the 2nd substrate as a polycrystal $\text{In}_t\text{AluGa}(1-t-u)$ N ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) substrate.

[Drawing 4] An $\text{In}_r\text{AlsGa}(1-r-s)$ N ($0 \leq r \leq 1$, $0 \leq s \leq 1$, $r+s \leq 1$) single crystal thin film, It is drawing showing the example of a production process in the case of making the same all composition of a polycrystal $\text{In}_t\text{AluGa}(1-t-u)$ N ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) substrate and an $\text{In}_x\text{AlyGa}(1-x-y)$ N ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) single crystal.

[Drawing 5] It is drawing showing the example of the semiconductor light emitting device concerning this invention.

[Drawing 6] It is drawing showing the example of a production process of the semiconductor substrate concerning this invention.

[Drawing 7] It is drawing showing the example of the example of a production process of the semiconductor substrate shown in drawing 6 .

[Drawing 8] It is drawing showing the example of the example of a production process of the semiconductor substrate shown in drawing 6 .

[Drawing 9] It is drawing showing the example of the example of a production process of the semiconductor substrate shown in drawing 6 .

[Drawing 10] It is drawing showing the example of the example of a production process of the semiconductor substrate shown in drawing 6 .

[Drawing 11] It is drawing showing the example of the semiconductor light emitting device concerning this invention.

[Drawing 12] It is drawing showing the conventional semiconductor laser.

[Drawing 13] It is drawing showing the conventional semiconductor laser.

[Description of Notations]

10 1st Substrate (Single Crystal Substrate)

11 GaN Buffer Layer

12 $\text{In}_t\text{AluGa}(1-t-u)$ N ($0 \leq T \leq 1$, $0 \leq U \leq 1$, $T+u \leq 1$) Single Crystal Thin Film

13 Adhesives of Organic System

14 Support Substrate

15 2nd Substrate

16 Low Melting Point Metal (Indium or Gallium)

17 $\text{In}_x\text{AlyGa}(1-x-y)$ N ($0 \leq X \leq 1$, $0 \leq Y \leq 1$, $X+y \leq 1$) Single Crystal Substrate

20 (111) GaAs Substrate

21 AlAs Layer

22 GaAs Layer

31 N-GaN Buffer Layer

32 N-aluminum0.15Ga0.85N Clad Layer

33 N-GaN Light-Guide Layer

34 $\text{In}_{0.15}\text{Ga}_{0.85}$ N/ $\text{In}_{0.02}\text{Ga}_{0.98}$ N Multiplex Quantum Well Structure Barrier Layer

35 P-GaN Light-Guide Layer

36 P-aluminum0.15Ga0.85N Clad Layer

37 P-GaN Cap Layer

38 Protective Layer Which Consists of SiO_2

39 The P Side Ohmic Electrode

40 The N Side Ohmic Electrode

50 1st Substrate (Single Crystal Substrate)

51 GaN Buffer Layer

52 $\text{In}_r\text{AlsGa}(1-R-s)$ N ($0 \leq R \leq 1$, $0 \leq S \leq 1$, $R+s \leq 1$) Single Crystal Thin Film

53 2nd Substrate

54 $\text{In}_x\text{AlyGa}(1-X-y)$ N ($0 \leq X \leq 1$, $0 \leq Y \leq 1$, $X+y \leq 1$) Single Crystal

111 (0001) Silicon on Sapphire

112 N Type GaN Low-temperature Buffer Layer

113,132 Elevated-temperature buffer layer which consists of n type GaN

114 SiO_2 Selective-Growth Mask

115,133 n- $\text{In}_{0.1}\text{Ga}_{0.9}$ N crack prevention layer

116,134 n-aluminum0.14Ga0.86 N/GaN MD-SLS (modulation dope strained super lattice) clad layer

117,135 n-GaN light-guide layer

118,136 $\text{In}_{0.15}\text{Ga}_{0.86}$ N/ $\text{In}_{0.02}\text{Ga}_{0.98}$ N MQW barrier layer

120,138 p-GaN layer light-guide layer
121,139 p-aluminum0.14Ga0.86 N/GaN MD-SLS clad layer
122,140 p type GaN layer cap layer
123,143 P lateral electrode
124,142 SiO2 protective layer
125,141 n lateral electrode
131 (0001) Field GaN Substrate

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-7394

(P2001-7394A)

(43) 公開日 平成13年1月12日 (2001.1.12)

(51) Int.Cl. ⁷	識別記号	F I	データベース (参考)
H 0 1 L 33/00		H 0 1 L 33/00	C 4 G 0 7 7
C 3 0 B 29/38		C 3 0 B 29/38	D 5 F 0 4 1
	33/00		5 F 0 4 5
H 0 1 L 21/203		H 0 1 L 21/203	M 5 F 0 7 3
	21/205		5 F 1 0 3
		21/205	

審査請求 未請求 請求項の数 8 O L (全 19 頁) 最終頁に続く

(21) 出願番号 特願平11-172495

(22) 出願日 平成11年6月18日 (1999.6.18)

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 岩田 浩和

東京都大田区中馬込1丁目3番6号 株式

会社リコー内

(74) 代理人 100090240

弁理士 植本 雅治

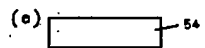
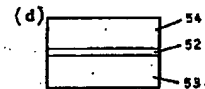
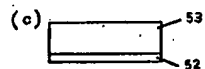
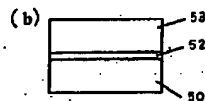
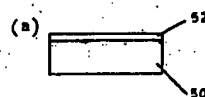
最終頁に続く

(54) 【発明の名称】 半導体基板およびその作製方法および半導体発光素子

(57) 【要約】

【課題】 工業的に実用化できる大面積、高品質のGa N系の半導体基板およびその作製方法および半導体発光素子を提供する。

【解決手段】 第1の基板50にIn_rAl_{1-r}Ga_(1-r-s)N (0 ≤ r ≤ 1, 0 ≤ s ≤ 1, r + s ≤ 1) 単結晶薄膜52を形成し、In_rAl_{1-r}Ga_(1-r-s)N単結晶薄膜52をIn_xAl_{1-x}Ga_(1-x-y)N (0 ≤ x ≤ 1, 0 ≤ y ≤ 1, x + y ≤ 1) 単結晶と熱膨張係数がほぼ同等である第2の基板53に貼り付け、第1の基板50からIn_rAl_{1-r}Ga_(1-r-s)N単結晶薄膜52を分離し、第2の基板53に貼り付けられたIn_rAl_{1-r}Ga_(1-r-s)N単結晶薄膜52上に、In_xAl_{1-x}Ga_(1-x-y)N (0 ≤ x ≤ 1, 0 ≤ y ≤ 1, x + y ≤ 1) 単結晶54をエビタキシャル成長し、第2の基板53からIn_xAl_{1-x}Ga_(1-x-y)N単結晶54を分離する。



【特許請求の範囲】

【請求項1】 第1の基板に $\text{In}_r\text{Al}_s\text{Ga}_{(1-r-s)}\text{N}$ ($0 \leq r \leq 1, 0 \leq s \leq 1, r+s \leq 1$) 単結晶薄膜を形成する工程と、 $\text{In}_r\text{Al}_s\text{Ga}_{(1-r-s)}\text{N}$ ($0 \leq r \leq 1, 0 \leq s \leq 1, r+s \leq 1$) 単結晶薄膜を $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$) 単結晶と熱膨張係数がほぼ同等である第2の基板に貼り付ける工程と、第1の基板から $\text{In}_r\text{Al}_s\text{Ga}_{(1-r-s)}\text{N}$ ($0 \leq r \leq 1, 0 \leq s \leq 1, r+s \leq 1$) 単結晶薄膜を分離する工程と、第2の基板に貼り付けられた $\text{In}_r\text{Al}_s\text{Ga}_{(1-r-s)}\text{N}$ ($0 \leq r \leq 1, 0 \leq s \leq 1, r+s \leq 1$) 単結晶薄膜上に、 $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$) 単結晶をエピタキシャル成長する工程と、第2の基板から $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$) 単結晶を分離する工程とにより、 $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$) 単結晶を半導体基板として作製することを特徴とする半導体基板の作製方法。

【請求項2】 請求項1記載の半導体基板の作製方法において、第2の基板は、多結晶 $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1$) 基板であることを特徴とする半導体基板の作製方法。

【請求項3】 請求項2記載の半導体基板の作製方法において、 $\text{In}_r\text{Al}_s\text{Ga}_{(1-r-s)}\text{N}$ ($0 \leq r \leq 1, 0 \leq s \leq 1, r+s \leq 1$) 単結晶薄膜、多結晶 $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1$) 基板、 $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$) 単結晶の組成がすべて同一であることを特徴とする半導体基板の作製方法。

【請求項4】 第1の基板に $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1$) 単結晶薄膜を形成する工程と、第1の基板から $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1$) 単結晶薄膜を分離する工程と、 $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1$) 単結晶薄膜を低融点金属を介して第2の基板に貼り付ける工程と、第2の基板に貼り付けられた $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1$) 単結晶薄膜上に、低融点金属の融点以上の温度で、 $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$) 単結晶をエピタキシャル成長する工程と、第2の基板から $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$) 単結晶を低融点金属の融点以上の温度で分離する工程とにより、 $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$) 単結晶を半導体基板として作製することを特徴とする半導体基板の作製方法。

【請求項5】 第1の基板に $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1$) 単結晶薄膜を形成する工程と、第1の基板から $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1$) 単結晶薄膜を

分離する工程と、 $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1$) 単結晶薄膜を熔融状態の金属Gaを介して第2の基板に貼り付ける工程と、第2の基板に貼り付けられた $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1$) 単結晶薄膜上に、金属Gaの融点以上の温度で、 $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$) 単結晶をエピタキシャル成長し、金属Gaを凝固させずに冷却させる工程と、第2の基板から $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$) 単結晶を金属Gaの融点以上の温度で分離する工程とにより、 $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$) 単結晶を半導体基板として作製することを特徴とする半導体基板の作製方法。

【請求項6】 請求項4または請求項5記載の半導体基板の作製方法において、前記第1の基板は $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1$) 単結晶薄膜と同程度の熱膨張係数を有していることを特徴とする半導体基板の作製方法。

【請求項7】 請求項1乃至請求項6のいずれか一項に記載の作製方法によって作製された $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$) 単結晶からなることを特徴とする半導体基板。

【請求項8】 請求項7の $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$) 単結晶の半導体基板上に、少なくとも一つのP-N接合を含む一般式 $\text{In}_v\text{Al}_w\text{Ga}_{(1-v-w)}\text{N}$ ($0 \leq v \leq 1, 0 \leq w \leq 1, v+w \leq 1$) で表わされるGa_{0.5}N系半導体積層構造が積層されて構成されていることを特徴とする半導体発光素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、DVDやCD等の光ピックアップ用光源などに利用される半導体基板およびその作製方法および半導体発光素子に関する。

【0002】

【従来の技術】 従来、青色のLEDは赤色や緑色に比べて輝度が小さく実用化に難点があったが、近年、一般式 $\text{InAlGa}_0.5\text{N}$ で表わされるGa_{0.5}N系化合物半導体において、低温AlNバッファ層、あるいは低温Ga_{0.5}Nバッファ層を用いることによる結晶成長技術の向上と、Mgをドーブした低抵抗のp型半導体層が得られたことにより、高輝度の青色LEDが実用化され、さらには、実用化には至らないが室温で連続発振する半導体レーザが実現された。

【0003】 ところで、一般に、高品質の半導体層を基板上にエピタキシャル成長させる場合には、基板と半導体層の格子定数や熱膨張係数が同程度である必要がある。しかし、Ga_{0.5}N系半導体はこれらを同時に満足する基板が現時点では存在しない。現在、Ga_{0.5}Nバルク単結晶を作製する試みがなされているが、いまだに数ミリ程

10

20

30

40

50

度のものしか得られていないのが実状であり、実用化には程遠い状態である。従って、一般には、サファイア、 $MgAl_2O_4$ 、スピネル、 SiC のようなGaN系半導体とは格子定数や熱膨張係数の大きく異なる基板の上に成長されている。そのため、GaN系半導体では、高品質の結晶層を必要とする半導体レーザの作製のために、基板と半導体レーザ結晶との格子定数や熱膨張係数の違いに起因する結晶欠陥の発生を抑制する技術が用いられている。

【0004】図12は文献「Applied Physics Letters Vol.72(1998)P.211」に示されている従来の端面発光型半導体レーザの断面図であり、図12の半導体レーザも上述のような技術が用いられたものの一つである。図12に示す従来の半導体レーザは、選択成長とラテラル成長を組み合わせることで作製される低欠陥基板上に形成されている。

【0005】すなわち、図12の半導体レーザは次のような方法で作製されている。まず、厚さ100～300 μm の(0001)面を主面とするサファイア(Al_2O_3 、単結晶)基板111上に、n型GaNからなる低温バッファ層112、n型のGaNからなる高温バッファ層113を成長する。次いで、n型GaN層113の表面に SiO_2 を堆積し、ストライプ状のパターンを開け、選択成長マスク114を形成する。次に、このマスクから露出したGaN層113の表面にGaNを選択成長させる。そしてさらに、成長を継続して、マスク表面上へのラテラル成長を行ない、最終的に厚さ約20 μm のn型GaN単結晶層を形成し、半導体レーザ結晶成長用基板としている。

【0006】そして、半導体レーザ構造は、n-In_{0.1}Ga_{0.9}Nクラッド防止層115、n-Al_{0.1}Ga_{0.9}N/GaN MD-SLS(モジュレーションドープ歪み超格子)クラッド層116、n-GaN光ガイド層117、In_{0.1}Ga_{0.9}N/In_{0.2}Ga_{0.8}N MQW活性層118、p-Al_{0.2}Ga_{0.8}N転位伝播防止層119、p-GaN層光ガイド層120、p-Al_{0.1}Ga_{0.9}N/GaN MD-SLSクラッド層121、p型GaN層からなるキャップ層122がMOCVD法により順次積層されている。この積層された半導体層をリッジ状にドライエッチングすることによって、光導波路と光共振器端面が形成され、さらに、エッチングにより露出したn-GaN層113および積層された半導体層の表層であるキャップ層122にそれぞれn側電極125およびp側電極123が設けられることにより、半導体レーザが形成されている。

【0007】図12に示した選択成長とラテラル成長を組み合わせることで作製される低欠陥基板上への半導体レーザ形成技術の開発により、半導体レーザの室温連続発振の寿命も室温近傍で、低出力ながら推定10000時間程度まで延びている。具体的に、このような構造のGaN

系半導体レーザによって、20℃、2mWでの連続発振の寿命は推定10000時間程度まで延びている。

【0008】しかしながら、図12のような従来のGaN系化合物半導体層を使用した発光素子は、結晶構造の異なる異種基板に成長するため、基板とGaN系化合物半導体のへき開面が必ずしも一致しているわけではなく、レーザ共振器端面の形成を従来のAlGaAs系等のレーザのようなへき開法で行なうことが困難である。

【0009】図12の従来例では、光共振器端面はドライエッチングなどの方法で作製している。そのため、作製プロセスもドライエッチング用マスクの形成、ドライエッチング、マスクの除去等の工程が必要とされ複雑化していた。さらにはGaN系化合物半導体のドライエッチング技術は未だ確立されていないため、形成された共振器ミラーには、縦筋状の凹凸があり、また、テーパ状に形成されるなど、その平滑性、平行性、垂直性は未だ十分ではなかった。また、ドライエッチングで共振器ミラーを形成した場合には、共振器ミラー端面の前方に基板がテラスとして残るため、このテラスによって、光が反射され、ビーム形状が単峰にならなかった。

【0010】また、サファイア基板上に形成された従来のGaN系化合物半導体を使用した発光素子は、サファイア基板が絶縁性であるため、基板裏面から電極をとることができなかった。そのため、電極は素子表面に形成されることになり、従来のAlGaAs系等のレーザのように基板裏面に電極を形成しダイボンディングするような実装ができない上、電極のスペースの分だけチップ面積が大きくなるといった問題も残っていた。また、サファイア基板の熱伝導性の悪さから、高温動作、あるいは、大出力動作では、寿命は極端に短かった。

【0011】サファイア基板以外の基板でのGaN系レーザ素子について、(0001)c面 SiC 基板と(111) $MgAl_2O_4$ 基板を用いる場合が報告されているが、 SiC 基板を用いる場合には、 SiC とGaN系半導体の熱膨張係数の違いから結晶成長時にクラックが入り、レーザ構造として十分な厚さの積層構造の形成が困難であり、室温連続発振には至っていない。また、(111) $MgAl_2O_4$ 基板を用いる場合には、サファイアと同様に絶縁性であるため、基板裏面に電極を形成することができない。

【0012】このような異種材料基板に作製されたGaN系半導体レーザの問題点を解決すべく、サファイア基板上に結晶成長したGaN系半導体層を基板から分離してGaN基板を作製し、GaN系半導体レーザを作製した報告もなされている。

【0013】図13は、文献「Jpn.J.Appl.Phys.Vol.37(1998)pp.L309-L312」に示されている従来の端面発光型半導体レーザの断面図であり、図13の半導体レーザは、図12と同様の構造のレーザ構造がGaN基板上に形成されたものである。

【0014】すなわち、図13の半導体レーザは、(0001)面を主面とするGa_{0.9}Nからなる80μmの厚さの基板131上に、n型のGa_{0.9}Nからなる高温バッファ層132、n-In_{0.1}Ga_{0.9}Nクラック防止層133、n-Al_{0.1}Ga_{0.9}N/GaN MD-SLS (モジュレーションドープ歪み超格子)クラッド層134、n-GaN光ガイド層135、In_{0.1}Ga_{0.9}N/In_{0.02}Ga_{0.98}N MQW活性層136、p-Al_{0.2}Ga_{0.8}N転位伝播防止層137、p-GaN層光ガイド層138、p-Al_{0.1}Ga_{0.9}N/GaN MD-SLSクラッド層139、p型Ga_{0.9}N層からなるキャップ層140がMOCVD法により順次積層されている。この積層された半導体層をリッジ状にドライエッチングすることによって、光導波路が形成され、さらに、エッチングにより露出したn-GaN層132および積層された半導体層の表層であるキャップ層140にそれぞれn側電極143およびp側電極141が設けられることにより、半導体レーザが形成されている。レーザの共振器ミラーはへき開によって作製されている。

【0015】このように、図13のGa_{0.9}N基板は、図12に示した半導体レーザの低欠陥基板上に、半導体レーザの積層構造115~122の代わりにGa_{0.9}N層を約100μm成長したものを作製し、その後、サファイア基板を研磨除去して、80μmの厚さのGa_{0.9}N基板として作製されている。

【0016】また、図13に示した端面発光型半導体レーザは、Ga_{0.9}N基板上に形成されているので、共振器ミラーの形成はへき開で行なうことができる。その結果、基板での反射がなく、ビーム形状は単峰となった。また、サファイア基板に比べ、熱伝導率が高いので、放熱特性が向上し、高出力動作が可能となり、寿命は50℃、30mW動作でも、250時間まで延びている。

【0017】図13の例のように、単結晶基板上にGa_{0.9}N系半導体を厚く成長した後、基板からGa_{0.9}N系半導体層を分離し、Ga_{0.9}N系半導体基板を作製する方法はいくつか提案されている。例えば、特開平7-202265号公報、特開平7-165498号には、サファイア基板上に、ZnOよりなるバッファ層を形成し、その上にGa_{0.9}N系半導体を成長させた後、バッファ層を溶解除去し、基板とGa_{0.9}N系半導体とを分離して作製する方法が開示されている。

【0018】また、特開平10-229218号には、第1の基板上にGa_{0.9}N系半導体が成長された第1のウエハーと、第2の基板上にGa_{0.9}N系半導体が成長された第2のウエハーとを用意し、第1のウエハーと第2のウエハーとをそれぞれのGa_{0.9}N系半導体同士が密着するようにして接着した後、第1の基板と第2の基板とを研磨除去する方法が開示されている。

【0019】

【発明が解決しようとする課題】前述のように、低温バ

ッファ層の技術や選択成長とラテラル成長の組み合わせによる低欠陥基板の作製技術により、サファイア等の異種基板上への高品質Ga_{0.9}N系化合物半導体の結晶成長が可能となり、Ga_{0.9}N系半導体レーザの室温近傍での低出力動作時の長寿命化が図られた。さらには、Ga_{0.9}N基板が作製され、この基板を用いることによりGa_{0.9}N系半導体レーザの特性の改善が見込まれつつある。しかるに、工業的に実用化できる大面積、高品質のGa_{0.9}N基板は未だ実現されていない。

10 【0020】図13に示したGa_{0.9}N基板の作製方法では、Ga_{0.9}Nとサファイア基板との熱膨張係数差により、厚いGa_{0.9}Nを成長するとウエハーの反りが生じるため、直径が2インチ程度のサファイア基板を研磨除去することは困難である。すなわち従来のような基板の研磨除去の方法では、大面積のGa_{0.9}N基板を作製することは困難であった。また、この反りのためにサファイア基板研磨の過程で、Ga_{0.9}N層に欠陥が導入されるなどして、結晶性が悪くなり、その上に作製した半導体レーザのしきい電流密度が増加するなど、半導体レーザの特性は必ずしも良いものではなかった。

20 【0021】また、特開平10-229218号に開示されている第1のウエハーと第2のウエハーとをそれぞれのGa_{0.9}N系半導体同士が密着するようにして接着した後、第1の基板と第2の基板とを除去する方法では、基板とGa_{0.9}N系半導体との熱膨張係数の違いによってGa_{0.9}Nを厚く成長するとウエハーが反るため、大面積のウエハーでは、ウエハー全面でGa_{0.9}N系半導体同士が完全に密着しないこともある。また、密着の過程でクラックが入る場合もある。さらに、第1の基板と第2の基板を研磨除去するため、1枚のGa_{0.9}N基板を作製するのに2枚の高価な基板を使うことになり高コストになるなどの問題もあった。

30 【0022】また、特開平7-202265号、特開平7-165498号に示されている技術、すなわち、基板の研磨除去を要しないGa_{0.9}N基板を作製する技術では、薄膜のZnOよりなるバッファ層を溶解除去するのに非常に長時間を要し、実用化は難しかった。

40 【0023】本発明は、このような従来のGa_{0.9}N系半導体基板の作製方法の問題点を解決し、工業的に実用化できる大面積、高品質のGa_{0.9}N系の半導体基板およびその作製方法および半導体発光素子を提供することを目的としている。

【0024】

【課題を解決するための手段】上記目的を達成するために、請求項1記載の発明は、第1の基板にIn_rAl_sGa_(1-r-s)N(0≤r≤1, 0≤s≤1, r+s≤1)単結晶薄膜を形成する工程と、In_rAl_sGa_(1-r-s)N(0≤r≤1, 0≤s≤1, r+s≤1)単結晶薄膜をIn_xAl_yGa_(1-x-y)N(0≤x≤1, 0≤y≤1, x+y≤1)単結晶と熱膨張係数がほぼ同等である第2の基

板に貼り付ける工程と、第1の基板から $\text{In}_r\text{Al}_s\text{Ga}_{(1-r-s)}\text{N}$ ($0 \leq r \leq 1$, $0 \leq s \leq 1$, $r+s \leq 1$) 単結晶薄膜を分離する工程と、第2の基板に貼り付けられた $\text{In}_r\text{Al}_s\text{Ga}_{(1-r-s)}\text{N}$ ($0 \leq r \leq 1$, $0 \leq s \leq 1$, $r+s \leq 1$) 単結晶薄膜上に、 $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶をエビタキシャル成長する工程と、第2の基板から $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶を分離する工程とにより、 $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶を半導体基板として作製することを特徴としている。

【0025】また、請求項2記載の発明は、請求項1記載の半導体基板の作製方法において、第2の基板は、多結晶 $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) 基板であることを特徴としている。

【0026】また、請求項3記載の発明は、請求項2記載の半導体基板の作製方法において、 $\text{In}_r\text{Al}_s\text{Ga}_{(1-r-s)}\text{N}$ ($0 \leq r \leq 1$, $0 \leq s \leq 1$, $r+s \leq 1$) 単結晶薄膜、多結晶 $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) 基板、 $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶の組成がすべて同一であることを特徴としている。

【0027】請求項4記載の発明は、第1の基板に $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) 単結晶薄膜を形成する工程と、第1の基板から $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) 単結晶薄膜を分離する工程と、 $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) 単結晶薄膜を低融点金属を介して第2の基板に貼り付ける工程と、第2の基板に貼り付けられた $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) 単結晶薄膜上に、低融点金属の融点以上の温度で、 $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶をエビタキシャル成長する工程と、第2の基板から $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶を低融点金属の融点以上の温度で分離する工程とにより、 $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶を半導体基板として作製することを特徴としている。

【0028】また、請求項5記載の発明は、第1の基板に $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) 単結晶薄膜を形成する工程と、第1の基板から $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) 単結晶薄膜を分離する工程と、 $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) 単結晶薄膜を溶融状態の金属Gaを介して第2の基板に貼り付ける工程と、第2の基板に貼り付けられた $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) 単結晶薄膜上に、金属Gaの融点以上の温度で、 $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶をエビタキシャル成長し、金属Gaを凝固させずに冷却させる工程と、第2の基板から $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶を金属Gaの融点以上の温度で分離する工程とにより、 $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶を半導体基板として作製することを特徴としている。

【0029】また、請求項6記載の発明は、請求項4または請求項5記載の半導体基板の作製方法において、前記第1の基板は $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) 単結晶薄膜と同程度の熱膨張係数を有していることを特徴としている。

【0030】また、請求項7記載の発明は、半導体基板が、請求項1乃至請求項6のいずれか一項に記載の作製方法によって作製された $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶からなることを特徴としている。

【0031】また、請求項8記載の発明は、半導体発光素子が、請求項7の $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶の半導体基板上に、少なくとも一つのP-N接合を含む一般式 $\text{In}_v\text{Al}_w\text{Ga}_{(1-v-w)}\text{N}$ ($0 \leq v \leq 1$, $0 \leq w \leq 1$, $v+w \leq 1$) で表わされるGa_{0.5}N系半導体積層構造が積層されて構成されていることを特徴としている。

【0032】

【発明の実施の形態】以下、本発明の実施形態を図面に基づいて説明する。図1は本発明に係る半導体基板の作製工程例を示す図である。図1の作製工程例では、

- 第1の基板(単結晶基板)50に $\text{In}_r\text{Al}_s\text{Ga}_{(1-r-s)}\text{N}$ ($0 \leq r \leq 1$, $0 \leq s \leq 1$, $r+s \leq 1$) 単結晶薄膜52を形成する工程(図1(a))と、
- $\text{In}_r\text{Al}_s\text{Ga}_{(1-r-s)}\text{N}$ ($0 \leq r \leq 1$, $0 \leq s \leq 1$, $r+s \leq 1$) 単結晶薄膜52を $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶と熱膨張係数がほぼ同等である第2の基板53に貼り付ける工程(図1(b))と、
- 第1の基板(単結晶基板)50から $\text{In}_r\text{Al}_s\text{Ga}_{(1-r-s)}\text{N}$ ($0 \leq r \leq 1$, $0 \leq s \leq 1$, $r+s \leq 1$) 単結晶薄膜52を分離する工程(図1(c))と、
- 第2の基板53に貼り付けられた $\text{In}_r\text{Al}_s\text{Ga}_{(1-r-s)}\text{N}$ ($0 \leq r \leq 1$, $0 \leq s \leq 1$, $r+s \leq 1$) 単結晶薄膜52上に、 $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶54をエビタキシャル成長する工程(図1(d))と、
- 第2の基板53から $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶54を分離する工程(図1(e))とを有し、最終的に、 $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶基板54を作製するようになっている。

【0033】ここで、第1の基板(単結晶基板)50とし

ては、サファイア(0001)c面、サファイア(11-20)a面、 MgAl_2O_3 スピネル(111)面、6H-SiC(0001)c面、6H-SiC(1-100)m面等が使用可能である。

【0034】また、aの工程において、 $\text{In}_r\text{Al}_s\text{Ga}_{(1-r-s)}\text{N}$ ($0 \leq r \leq 1$, $0 \leq s \leq 1$, $r+s \leq 1$)単結晶薄膜52の結晶成長方法としては、MOCVD、HVPE、MBE等の手段が使用可能であるが、上記方法に限定されるものではなく、第1の基板(単結晶基板)50に、 $\text{In}_r\text{Al}_s\text{Ga}_{(1-r-s)}\text{N}$ ($0 \leq r \leq 1$, $0 \leq s \leq 1$, $r+s \leq 1$)単結晶薄膜52を結晶成長させることができる方法であれば、その他の方法を用いても良い。また、 $\text{In}_r\text{Al}_s\text{Ga}_{(1-r-s)}\text{N}$ ($0 \leq r \leq 1$, $0 \leq s \leq 1$, $r+s \leq 1$)単結晶薄膜52を成長する際に、GaNやAlN等の低温バッファ層を先に堆積しても差し支えなく、第1の基板(単結晶基板)10を使用して成長した結晶層の表面層が $\text{In}_r\text{Al}_s\text{Ga}_{(1-r-s)}\text{N}$ ($0 \leq r \leq 1$, $0 \leq s \leq 1$, $r+s \leq 1$)単結晶であれば良い。

【0035】また、bの工程において、第2の基板53としては、単結晶あるいは、多結晶のモリブデン基板($6 \times 10^{-6} \text{K}^{-1}$)、単結晶 YAlO_3 基板、単結晶GGG($\text{Gd}_2\text{Ga}_2\text{O}_7$)基板、あるいは、熱膨張係数が $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$)単結晶54と同程度になるように原料組成を調節して作製された単結晶あるいは、多結晶あるいは非晶質体等が使用可能である。

【0036】また、第2の基板53に貼り付ける方法としては、窒化物半導体の分解圧以上に加圧された窒素雰囲気中でウェハを加熱し、 $\text{In}_r\text{Al}_s\text{Ga}_{(1-r-s)}\text{N}$ ($0 \leq r \leq 1$, $0 \leq s \leq 1$, $r+s \leq 1$)単結晶薄膜52と第2の基板53とを拡散接合で直接接合することが可能であるが、cの工程での第1の基板50の除去や、dの工程での $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$)単結晶54をエピタキシャル成長するのに支障の無い方法であれば、その他の方法であっても差し支えない。

【0037】また、貼り付けの程度は、 $\text{In}_r\text{Al}_s\text{Ga}_{(1-r-s)}\text{N}$ ($0 \leq r \leq 1$, $0 \leq s \leq 1$, $r+s \leq 1$)単結晶薄膜52の表面全面が、第2の基板53に完全に接合されている必要はなく、cの工程での第1の基板50の除去やdの工程での $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$)単結晶54をエピタキシャル成長するのに支障の無い程度であれば、部分的に接合されている程度でも差し支えない。また、その接合強度も、cの工程での第1の基板50の除去やdの工程における $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$)単結晶54をエピタキシャル成長するのに支障の無ければ、弱くても差し支えない。

【0038】また、cの工程において、第1の基板(単結晶基板)50を $\text{In}_r\text{Al}_s\text{Ga}_{(1-r-s)}\text{N}$ ($0 \leq r \leq$

1 , $0 \leq s \leq 1$, $r+s \leq 1$)単結晶薄膜52から分離する方法としては、化学エッチング、研磨等が使用可能であるが、特に限定されるものではなく、適宜使用可能である。

【0039】また、dの工程において、第2の基板53に貼り付けられた $\text{In}_r\text{Al}_s\text{Ga}_{(1-r-s)}\text{N}$ ($0 \leq r \leq 1$, $0 \leq s \leq 1$, $r+s \leq 1$)単結晶薄膜52上に、 $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$)単結晶54をエピタキシャル成長する方法としては、特に限定されるものではないが、厚い単結晶層を成長することから、HVPE法や高速のMOCVD法等の成長速度の速い方法が望ましい。また、n型やp型ドーパントをドーブすることにより、伝導型を制御することが可能である。

【0040】また、eの工程において、第2の基板53から $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$)単結晶54を分離する方法としては、化学エッチング、研磨等が使用可能であるが、特に限定されるものではなく、適宜可能である。

【0041】図2は図1に示した作製工程例の具体例を示す図である。図2の工程例では、半導体基板として、n型GaN単結晶基板を作製している。

【0042】図2を参照すると、まず、直径2インチの(0001)c面サファイア基板50上に、520℃で水素ガスをキャリアガスとして、III族原料にトリメチルガリウム、V族原料にアンモニウムを使用して、GaNバッファ層51を約25nm堆積し、その後、1050℃に昇温し、GaN単結晶層52を8μm成長する(図2(a))。

【0043】次いで、表面をポリッシングして鏡面状にした多結晶Mo基板53とGaN単結晶52の表面を密着させ、耐熱性の治具で強く固定した状態で、アニール装置に移送する。そして、窒素雰囲気中20気圧、1100℃において、アニールを行い、両者を拡散接合させる(図2(b))。

【0044】次いで、研磨装置を使用して、サファイア(0001)基板50を研磨除去する(図2(c))。この時、GaNバッファ層51は低温で成長した多結晶層を含む層であるので同時に研磨除去し、さらに、露出したGaN単結晶層52の表面を鏡面状にポリッシングする。

【0045】次いで、Mo基板53をHVPE装置に移送し、 N_2 ガスをキャリアガスとして、反応ガスにHC1ガス、III族原料に金属ガリウム、V族原料にアンモニアガス、n型ドーパントガスに四塩化珪素(SiCl_4)を使用して、1050℃で露出したGaN単結晶層52の表面にn型GaN単結晶54を300μm成長する(図2(d))。

【0046】次いで、研磨装置を使用して、Mo基板53を研磨除去する。さらに、露出したGaN単結晶層5

4の表面を鏡面状にポリッシングし、厚さ300 μ mのn型Ga_{1-x-y}N単結晶基板54を作製する(図2(e))。このようにして、半導体基板として、n型Ga_{1-x-y}N単結晶基板を作製することができる。

【0047】図1、図2の作製工程例では、上述の工程をとることによって、熱膨張係数差の大きな基板50に厚く成長することによるクラックの発生や反りがなく、実用的な面積のIn_xAl_yGa_{1-x-y}N(0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1)単結晶基板54が作製される。また、第2の基板53は、熱膨張係数がIn_xAl_yGa_{1-x-y}N(0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1)単結晶54とほぼ同等であれば、その結晶構造や格子定数は異なっても差し支えないので、基板選択の幅が増え、安価な基板を選択することで、低コストでIn_xAl_yGa_{1-x-y}N(0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1)単結晶基板54が作製される。

【0048】ところで、上述の図1、図2の作製方法では、In_xAl_yGa_{1-x-y}N(0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1)単結晶54と異なる材料からなる第2の基板53を使用した場合、第2の基板の融点や化学的安定性によって、結晶成長温度や成長雰囲気といった結晶成長条件に制約がつけられる場合があった。また、第2の基板53の構成元素がIn_xAl_yGa_{1-x-y}N(0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1)単結晶54中へ不純物として拡散する懸念もあった。

【0049】このような問題を回避するためには、第2の基板53を、In_xAl_yGa_{1-x-y}N(0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1)単結晶層54と同種の材料からなる多結晶In_tAl_uGa_{1-t-u}N(0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1)基板とするのが良い。すなわち、第2の基板53を多結晶In_tAl_uGa_{1-t-u}N(0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1)基板にするのが良い。

【0050】図3は第2の基板53を多結晶In_tAl_uGa_{1-t-u}N(0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1)基板にする場合の作製工程例を示す図である。なお、図3の例では、半導体基板として、n型In_{0.1}Ga_{0.9}N単結晶基板を作製している。

【0051】図3を参照すると、まず、直径2インチの(0001)c面サファイア基板50上に、520℃で水素ガスをキャリアガスとして、III族原料にトリメチルガリウム、V族原料にアンモニウムを使用して、Ga_{1-x-y}Nバッファ層51を約25nm堆積し、その後、1050℃に昇温し、Ga_{1-x-y}N単結晶層52を8 μ m成長する(図3(a))。

【0052】次いで、表面をポリッシングして鏡面状にした多結晶Ga_{1-t-u}N基板53とGa_{1-x-y}N単結晶層52の表面を密着させ(図3(b))、耐熱性の治具で強く固定した状態で、アニール装置に移送する。そして、窒素雰囲気中20気圧、1100℃において、アニールを行い、両者

を拡散接合させる。

【0053】次いで、研磨装置を使用して、サファイア(0001)基板50を研磨除去する。この時、Ga_{1-x-y}Nバッファ層51は低温で成長した多結晶層を含む層であるので同時に研磨除去し、さらに、露出したGa_{1-x-y}N単結晶層52の表面を鏡面状にポリッシングする(図3(c))。

【0054】次いで、多結晶Ga_{1-t-u}N基板53をMOVPE装置に移送し、N₂ガスをキャリアガスとして、III族原料にトリメチルガリウム、トリメチルインジウム、V族原料にアンモニアガス、モノメチルヒドラジン、n型ドーパントガスにモノシランを使用して、800℃で露出したGa_{1-x-y}N単結晶層52の表面にn型In_{0.1}Ga_{0.9}N単結晶54を200 μ m成長する(図3(d))。

【0055】次いで、研磨装置を使用して、多結晶Ga_{1-t-u}N基板53を研磨除去する。さらに、露出したGa_{1-x-y}N単結晶層54の表面を鏡面状にポリッシングし、厚さ約200 μ mのn型In_{0.1}Ga_{0.9}N単結晶基板54を作製する(図3(e))。

【0056】このように、図3の工程例によれば、第2の基板53が多結晶In_tAl_uGa_{1-t-u}N(0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1)基板であるので、熱膨張係数差の大きな基板に厚く成長することによるクラックの発生や反りがなく、実用的な面積のIn_xAl_yGa_{1-x-y}N(0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1)単結晶基板54が作製される。また、構成元素が同一であるので、基板からの不純物の混入が低減される。

【0057】ところで、図3の作製工程例では、第2の基板53にIn_xAl_yGa_{1-x-y}N(0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1)単結晶層54と同種の材料からなる多結晶In_tAl_uGa_{1-t-u}N(0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1)基板を使用することによって、In_xAl_yGa_{1-x-y}N(0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1)単結晶層54の成長条件の第2の基板53による制約をなくし、基板53の構成元素が不純物として混入する懸念を低減したが、多結晶In_tAl_uGa_{1-t-u}N(0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1)基板53は、In_xAl_yGa_{1-x-y}N(0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1)単結晶層とは混晶組成が異なっているので、第2の基板53とIn_xAl_yGa_{1-x-y}N(0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1)単結晶層54とでは、熱膨張係数が異なる。従って、熱膨張係数差に起因する熱歪みのため欠陥が発生することが懸念される。

【0058】このような問題を回避するためには、図3の作製工程例において、In_rAl_sGa_{1-r-s}N(0 \leq r \leq 1, 0 \leq s \leq 1, r+s \leq 1)単結晶薄膜52、多結晶In_tAl_uGa_{1-t-u}N(0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1)基板53、In_xAl_yGa_{1-x-y}N(0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1)単結晶54の組成をすべて同一にして、第2の基板53と結晶層54の

熱膨張係数差をほぼゼロにして、熱歪みによる欠陥の発生を低減するのが良い。

【0059】図4は $\text{In}_r\text{Al}_s\text{Ga}_{(1-r-s)}\text{N}$ ($0 \leq r \leq 1$, $0 \leq s \leq 1$, $r+s \leq 1$) 単結晶薄膜52、多結晶 $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) 基板53、 $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶54の組成をすべて同一にする場合の作製工程例を示す図である。なお、図4の例では、半導体基板として、 n 型 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ 単結晶基板を作製している。

【0060】図4を参照すると、まず、直径2インチの(0001) c 面サファイア基板50上に、520℃で水素ガスをキャリアガスとして、III族原料にトリメチルガリウム、V族原料にアンモニウムを使用して、 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ バッファ層51を約25nm堆積し、その後、1050℃に昇温し、 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ 単結晶層52を8μm成長する(図4(a))。

【0061】次いで、表面をポリッシングして鏡面状にした多結晶 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ 基板53と $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ 単結晶52の表面を密着させ(図4(b))、耐熱性の治具で強く固定した状態で、アニール装置に移送する。そして、窒素雰囲気中20気圧、1100℃において、アニールを行い、両者を拡散接合させる。

【0062】次いで、研磨装置を使用して、サファイア(0001) 基板50を研磨除去する。この時、 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ バッファ層51は低温で成長した多結晶層を含む層であるので同時に研磨除去し、さらに、露出した $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ 単結晶層52の表面を鏡面状にポリッシングする(図4(c))。

【0063】次いで、 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ 基板53をMOVPE装置に移送し、 H_2 ガスをキャリアガスとして、III族原料にトリメチルガリウム、トリメチルアルミニウム、V族原料にアンモニアガス、 n 型ドーパントガスにモノシランを使用して、1050℃で露出した $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ 単結晶層52の表面に n 型 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ 単結晶54を300μm成長する(図4(d))。

【0064】次いで、研磨装置を使用して、多結晶 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ 基板53を研磨除去する。さらに、露出した $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ 単結晶層54の表面を鏡面状にポリッシングし、厚さ300μmの n 型 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ 単結晶基板54を作製する(図4(e))。

【0065】上述の例では、半導体基板として、 n 型 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ 単結晶基板を作製する例を示したが、他の例として、 n 型 GaN 単結晶基板を作製することもできる。 n 型 GaN 単結晶基板を作製する方法を、便宜上、前述した図4を用いて説明する。

【0066】半導体基板として、 n 型 GaN 単結晶基板を作製する場合、まず、直径2インチの(0001) c 面サファイア基板50上に、520℃で水素ガスをキャ

リアガスとして、III族原料にトリメチルガリウム、V族原料にアンモニウムを使用して、 GaN バッファ層51を約25nm堆積し、その後、1050℃に昇温し、 GaN 単結晶層52を8μm成長する(図4(a))。

【0067】次いで、多結晶 GaN 基板53と GaN 単結晶52の表面を密着させ(図4(b))、耐熱性の治具で強く固定した状態で、アニール装置に移送する。そして、窒素雰囲気中20気圧、1100℃において、アニールを行い、両者を拡散接合させる。

【0068】次いで、研磨装置を使用して、サファイア(0001) 基板50を研磨除去する。この時、 GaN バッファ層51は低温で成長した多結晶層を含む層であるので同時に研磨除去し、さらに、露出した GaN 単結晶層52の表面を鏡面状にポリッシングする(図4(c))。

【0069】次いで、多結晶 GaN 基板53をHVPE装置に移送し、 N_2 ガスをキャリアガスとして、反応ガスに HCl ガス、III族原料に金属ガリウム、V族原料にアンモニアガス、 n 型ドーパントガスに四塩化珪素(SiCl_4)を使用して、1050℃で露出した GaN 単結晶層52の表面に n 型 GaN 単結晶54を300μm成長する(図4(d))。

【0070】次いで、研磨装置を使用して、多結晶 GaN 基板53を研磨除去する。さらに、露出した GaN 単結晶層54の表面を鏡面状にポリッシングし、厚さ300μmの n 型 GaN 単結晶基板54を作製する(図4(e))。

【0071】このように、図4の作製工程例によれば、 $\text{In}_r\text{Al}_s\text{Ga}_{(1-r-s)}\text{N}$ ($0 \leq r \leq 1$, $0 \leq s \leq 1$, $r+s \leq 1$) 単結晶薄膜52、多結晶 $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) 基板53、 $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶54の組成がすべて同一であるので、図3の作製方法よりもさらに熱膨張係数差によるクラックの発生や反りが低減され、図3の作製方法よりもさらに高品質の実用的な面積の $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶基板54が作製される。また構成元素が同一であるので、基板からの不純物も低減される。

【0072】本発明では、上述したような各作製方法で作製された $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶基板54を提供できる。そして、 $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶54を成長する工程で、 n 型や p 型ドーパントをドーブすることで、所望の伝導型を示す導電性基板を提供できる。

【0073】すなわち、本発明では、 GaN 系半導体と熱膨張係数差がほとんどなく、かつ、格子整合性、熱伝導性、へき開性、導電性を備えた大面積の $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単

結晶基板を提供できる。また、第1の基板50は、サファイア(0001)c面、サファイア(11-20)a面、 $MgAl_2O_4$ スピネル(111)面、 $6H-SiC$ (0001)c面、 $6H-SiC$ (1-100)m面等が使用可能であるので、基板の面方向によって、(0001)c面や(1-100)m面を主面とする $In_xAl_yGa_{(1-x-y)}N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$)単結晶基板となる。例えば、第1の基板50にサファイア(0001)c面、サファイア(11-20)a面、 $MgAl_2O_4$ スピネル(111)面、 $6H-SiC$ (0001)c面を使用すれば、(0001)c面を主面とする $In_xAl_yGa_{(1-x-y)}N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$)単結晶基板となり、 $6H-SiC$ (1-100)m面基板を使用すれば、(1-100)m面を主面とする $In_xAl_yGa_{(1-x-y)}N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$)単結晶基板となる。

【0074】また、本発明では、上述したように作製された $In_xAl_yGa_{(1-x-y)}N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$)単結晶基板54上に、少なくとも1つのP-N接合を含む一般式 $In_vAl_wGa_{(1-v-w)}N$ ($0 \leq v \leq 1$, $0 \leq w \leq 1$, $v+w \leq 1$)で表されるGa

N系半導体積層構造を積層して、半導体発光素子を提供できる。

【0075】半導体発光素子は、半導体発光素子のp型、n型層に対応した電極に電流が印加され、P-N接合に電流が注入され、キャリアの再結合によって、発光するものである。半導体発光素子を構成するGa

N系化合物半導体積層構造は、少なくとも1つのP-N接合を有し、このP-N接合に電流が注入され、キャリアの再結合によって、発光する構造であれば、ホモ接合、シングルヘテロ接合、ダブルヘテロ接合、量子井戸構造、多重量子井戸構造、その他どのような構造であっても差し支えない。

【0076】また、本発明では、半導体発光素子の基板に $In_xAl_yGa_{(1-x-y)}N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$)単結晶基板54が用いられており、基板がへき開可能であるので、半導体発光素子を半導体レーザとした場合には、平行性、平滑性の良いへき開によるレーザ共振器ミラーを有することができる。さらに、基板を導電性にするにより(すなわち、 $In_xAl_yGa_{(1-x-y)}N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$)単結晶基板54にn型やp型ドーパントをドーブすることにより)、基板裏面に電極を形成された発光素子とすることが可能である。

【0077】図5は本発明に係る半導体発光素子の具体例を示す図である。なお、図5の半導体発光素子は半導体レーザとして構成されている。図5を参照すると、この半導体発光素子は、上述したような作製方法で作製した $n-Al_{0.15}Ga_{0.85}N$ 単結晶基板54上に、 $n-Ga$

層32、 $n-GaN$ 光ガイド層33、 $In_{0.15}Ga_{0.85}N/In_{0.02}Ga_{0.98}N$ 多重量子井戸構造活性層34、 $p-GaN$ 光ガイド層35、 $p-Al_{0.15}Ga_{0.85}N$ クラッド層36、 $p-GaN$ キャップ層37が順次積層された積層構造を有している。

【0078】そして、この積層構造のp型 GaN キャップ層37の表面から $p-Al_{0.15}Ga_{0.85}N$ クラッド層36の途中までが、幅 $5\mu m$ の残しストライパターンの使用してエッチングされて導波路となるリッジ構造が形成されている。ここで、導波路の方向は、 $\langle 1-100 \rangle$ 方向である。

【0079】このようにリッジ構造が形成されることにより露出した $p-Al_{0.15}Ga_{0.85}N$ クラッド層36表面には、 SiO_2 からなる保護層38が堆積されている。また、 $p-GaN$ キャップ層37上には、p側オーミック電極39が形成されている。また、 $n-Al_{0.15}Ga_{0.85}N$ 単結晶基板54の裏面には、n側オーミック電極40が形成されている。この半導体レーザの光共振器面は(1-100)m面をへき開することによって形成されている。

【0080】図5の半導体発光素子において、 $n-GaN$ バッファ層31、 $n-Al_{0.15}Ga_{0.85}N$ クラッド層32、 $n-GaN$ 光ガイド層33、 $In_{0.15}Ga_{0.85}N/In_{0.02}Ga_{0.98}N$ 多重量子井戸構造活性層34、 $p-GaN$ 光ガイド層35、 $p-Al_{0.15}Ga_{0.85}N$ クラッド層36、 $p-GaN$ キャップ層37はMOCVD法によって結晶成長した。

【0081】また、p側オーミック電極39は、 $Au/Pt/Ni$ を真空蒸着し、 $700^\circ C$ の温度で、20分間熱処理して形成した。また、n側オーミック電極40は、 Al/Ti を真空蒸着し、熱処理して形成した。

【0082】図5の半導体レーザは、p側オーミック電極39、n側オーミック電極40に電流が印加されると、 $In_{0.15}Ga_{0.85}N/In_{0.02}Ga_{0.98}N$ 多重量子井戸構造活性層34に電流が注入され、キャリアの再結合によって発光し、へき開によって形成された共振器面によって、反射増幅が繰り返され、レーザ光として外部に出力される。

【0083】図5の半導体レーザでは、基板54に、クラッド層と同一組成の $n-Al_{0.15}Ga_{0.85}N$ 単結晶基板を使用しているため、サファイアやGa

N基板を使用する場合に比べ、クラッド層のAlの混晶比を大きくしても結晶成長時にクラックが入りにくく、従って、光の閉じ込めに十分な組成と厚さを備えたクラッド層が形成できる。その結果、クラッド層からの光の漏れによるビーム形状の悪化がなく、かつ発振しきい電流密度が低い半導体レーザが作製される。

【0084】図6は本発明に係る半導体基板の他の作製工程例を示す図である。図6の作製工程例では、

a. 第1の基板(単結晶基板)10に In_xAl_yGa

$\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1$) 単結晶薄膜12を形成する工程(図6(a))と、

b. 第1の基板(単結晶基板)10から $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1$) 単結晶薄膜12を分離する工程(図6(b))と、

c. $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1$) 単結晶薄膜12を低融点金属16を介して第2の基板15に貼り付ける工程(図6(c))と、

d. 第2の基板15に貼り付けられた $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1$) 単結晶薄膜12上に、低融点金属16の融点以上の温度で、 $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$) 単結晶17をエピタキシャル成長する工程(図6(d))と、

e. 第2の基板15から $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$) 単結晶17を低融点金属16の融点以上の温度で分離する工程(図6(e))とを有し、最終的に、 $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$) 単結晶基板17を作製するようになっている。

【0085】ここで、第1の基板(単結晶基板)10としては、サファイア(0001)c面、サファイア(11-20)a面、 MgAl_2O_4 スピネル(111)面、6H-SiC(0001)c面、6H-SiC(1-100)m面等が使用可能である。

【0086】また、aの工程において、 $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1$) 単結晶薄膜12の結晶成長方法としては、MOCVD、HVPE、MBE等が使用可能であるが、上記方法に限定されるものではなく、第1の基板(単結晶基板)10に、 $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1$) 単結晶薄膜12を結晶成長させることができる方法であれば、その他の方法を用いても良い。また、 $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1$) 単結晶薄膜12を成長する前に、GaNやAlN等の低温バッファ層やその他の層を先に堆積しても差し支えなく、第1の基板(単結晶基板)10を使用して成長した結晶層の表面層が $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1$) 単結晶であれば良い。

【0087】また、bの工程において、第1の基板(単結晶基板)10から $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1$) 単結晶薄膜12を分離する方法としては、 $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1$) 単結晶薄膜12を支持基板に貼り付けた後、化学エッチング、研磨等の方法で第1の基板(単結晶基板)10を除去する方法や、第1の基板(単結晶基板)10と $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1$) 単結晶層12との間に

エッチング等が可能な層を成長しておいた後にその層をエッチングしリフトオフによって第1の基板(単結晶基板)10を分離する方法等が使用可能であるが、分離の方法に関しては、上記の方法に特に限定されるものではない。

【0088】また、cの工程において、低融点金属16としては、その融点が $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$) の成長温度と、第2の基板15を分離する温度よりも低いものであれば、単金属でも合金でも良い。例えば、インジウム、スズ、ガリウム等が使用可能である。また、第2の基板15としては、後の工程で $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$) 単結晶をエピタキシャル成長する際に、その成長温度、成長雰囲気で安定であれば良く、サファイア、Si、石英等を、単結晶、多結晶、非晶質を問わず、使用可能である。

【0089】また、dの工程において、第2の基板15に貼り付けられた $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1$) 単結晶薄膜12上に、低融点金属16の融点以上の温度で、 $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$) 単結晶17をエピタキシャル成長する時、 $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1$) 単結晶薄膜12は、溶融金属16上にあるので、第2の基板15と $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$) 単結晶17との熱膨張係数差や結晶構造の違い等の影響を受けずに、単結晶17の結晶成長が進む。結晶成長の方法は、特に限定するものではないが、厚い単結晶層17を成長することから、HVPE法や高速のMOCVD法等の成長速度の速い方法が望ましい。また、n型やp型ドーパントをドーブすることにより、伝導型を制御することが可能である。

【0090】図7、図8は図6に示した作製工程例の具体例を示す図である。図7、図8の工程例では、半導体基板として、n型GaN単結晶基板を作製している。

【0091】図7、図8を参照すると、まず、直径2インチの(0001)c面サファイア基板10上に、MOCVD法でGaN層12を成長する。GaN層12の成長は、MOCVD法で行ない、520℃で水素ガスをキャリアガスとして、III族原料にトリメチルガリウム、V族原料にアンモニアを使用して、GaNバッファ層11を約25nm堆積し、その後、1050℃に昇温し、GaN単結晶層12を10μm成長することによってなされる(図7(a))。

【0092】次いで、有機系の接着剤13で支持基板14にGaN単結晶層12の表面を接着し(図7(b-1))、次いで、サファイア基板10を研磨装置で研磨除去する(図7(b-2))。

【0093】次いで、石英基板15とGaN単結晶層12とをインジウム16で接着する(図7(c-1))。

ここで、接着方法としては、石英基板15上にインジウム16を載せ、さらにその上に支持基板14に貼り付けたGaN単結晶層12をGaN単結晶層12表面をインジウム16側にして載せ、インジウム16の融点以上の温度に加熱し、インジウム16を溶融状態にして接着する。

【0094】しかる後、有機溶剤で有機系の接着剤13を溶解し、支持基板14を分離する(図8(c-2))。

【0095】次いで、GaN単結晶層12を接着した石英基板15をHVPE装置に移送し、N₂ガスをキャリアガスとして、また、反応ガスにHClガス、III族原料に金属ガリウム、V族原料にアンモニアガス、n型ドーパントガスに四塩化珪素(SiCl₄)を使用して、1050℃でGaN単結晶層12の表面にn型GaN単結晶17を300μmの厚さに成長する(図8(d))。

【0096】次いで、n型GaN単結晶層17を成長した石英基板15をインジウム16の融点以上の温度に加熱し、インジウム16を溶融状態にして石英基板15を分離する(図8(e-1))。しかる後、研磨装置を使用して、GaNバッファ層11を研磨除去し、さらに、GaN単結晶層17の表面を鏡面状にポリッシングし、厚さ約300μmのn型GaN単結晶基板17を作製する(図8(e-2))。このようにして、半導体基板として、n型GaN単結晶基板を作製することができる。

【0097】図6、図7、図8の作製工程例では、 $In_xAl_yGa_{(1-x-y)}N$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$)単結晶17の結晶成長後の冷却過程で、低融点金属16の凝固点までは、 $In_xAl_yGa_{(1-x-y)}N$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$)単結晶層17は基板15と結合していないので、 $In_xAl_yGa_{(1-x-y)}N$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$)単結晶層17を大面積のものにしても、結晶成長温度から低融点金属16の凝固点までの冷却時における基板15と $In_xAl_yGa_{(1-x-y)}N$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$)単結晶層17との熱収縮差によるクラックの発生や反りが低減される。従って、クラックや反りの低減された大面積の $In_xAl_yGa_{(1-x-y)}N$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$)単結晶基板17を作製することができる。

【0098】また、第2の基板15からの $In_xAl_yGa_{(1-x-y)}N$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$)単結晶層17の分離を第2の基板15を損傷することなく容易に行なうことができ、再利用が可能であるので、低コスト化が図られる。さらに、第2の基板15には、単結晶、多結晶、非晶質等が使用できるので、基板選択の幅が広がり、安価な基板を選択することによって、低コスト化が図られる。

【0099】なお、上述したcの工程(図6(c))

で、低融点金属16として室温近傍(約30℃)に融点をもつGa(ガリウム)を使用し、d、eの工程(図6(d)、(e))における $In_xAl_yGa_{(1-x-y)}N$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$)単結晶17のエピタキシャル成長から、第2の基板15の分離までをGaを凝固させることなく行なうこともできる。

【0100】すなわち、この場合には、

a. 第1の単結晶基板10に $In_tAl_uGa_{(1-t-u)}N$ ($0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1$)単結晶薄膜12を形成する工程(図6(a))と、

b. 第1の単結晶基板10から $In_tAl_uGa_{(1-t-u)}N$ ($0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1$)単結晶薄膜12を分離する工程(図6(b))と、

c. $In_tAl_uGa_{(1-t-u)}N$ ($0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1$)単結晶薄膜12を溶融状態の金属Ga(ガリウム)16を介して第2の基板15に貼り付ける工程(図6(c))と、

d. 第2の基板15に貼り付けられた $In_tAl_uGa_{(1-t-u)}N$ ($0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1$)単結晶薄膜12上に、金属Ga(ガリウム)16の融点以上の温度で、 $In_xAl_yGa_{(1-x-y)}N$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$)単結晶17をエピタキシャル成長し、金属Ga(ガリウム)16を凝固させずに冷却させる工程(図6(d))と、

e. 第2の基板15から $In_xAl_yGa_{(1-x-y)}N$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$)単結晶17を金属Ga(ガリウム)16の融点以上の温度で分離する工程(図6(e))とを有し、最終的に、 $In_xAl_yGa_{(1-x-y)}N$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$)単結晶基板17を作製するようになっている。

【0101】このように、cの工程(図6(c))で、低融点金属16として室温近傍(約30℃)に融点をもつGaを使用し、d、eの工程(図6(d)、(e))における $In_xAl_yGa_{(1-x-y)}N$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$)単結晶17のエピタキシャル成長から、第2の基板15の分離までをGaを凝固させることなく行なうようにすることで、第2の基板15と $In_xAl_yGa_{(1-x-y)}N$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$)単結晶17の熱膨張係数差による結晶成長後の冷却過程での熱歪みの影響を全く受けずに、単結晶基板を作製することが可能となる。

【0102】低融点金属16として室温近傍(約30℃)に融点をもつGaを使用し、 $In_xAl_yGa_{(1-x-y)}N$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$)単結晶17のエピタキシャル成長から、第2の基板15の分離までをGaを凝固させることなく行なう場合の具体例について説明する。なお、この具体例では、半導体基板として、n型GaN単結晶基板を作製している。

【0103】この具体例では、まず、直径2インチの(0001)c面サファイア基板10上に、MOCVDで

GaN層12を成長する。GaN層12の成長はMOCVDで行ない、520℃で水素ガスをキャリアガスとして、III族原料にトリメチルガリウム、V族原料にアンモニアを使用して、GaNバッファ層11を約25nm堆積し、その後、1050℃に昇温し、GaN単結晶層12を10μm成長することによってなされる(図7(a))。

【0104】次いで、有機系の接着剤13で支持基板14にGaN単結晶層12の表面を接着し(図7(b-1))、次いで、サファイア基板10を研磨装置で研磨除去する(図7(b-2))。

【0105】次いで、石英基板15とGaN単結晶層12とをGa(ガリウム)16で接着する(図7(c-1))。ここで、接着方法としては、石英基板15上にGa(ガリウム)16を載せ、さらにその上に支持基板14に貼り付けたGaN単結晶層12をGaN単結晶層12表面をGa(ガリウム)16側にして載せ、Ga(ガリウム)16の融点以上の温度に加熱し、Ga(ガリウム)16を熔融状態にして接着する。

【0106】しかる後、有機溶剤で有機系の接着材13を溶解し、支持基板14を分離する(図8(c-2))。このときの温度はGa(ガリウム)16の融点以下とする。

【0107】次いで、GaN単結晶層12を接着した石英基板15をHVPE装置に移送し、N₂ガスをキャリアガスとして、また、反応ガスにHClガス、III族原料に金属ガリウム、V族原料にアンモニアガス、n型ドーパントガスに四塩化珪素(SiCl₄)を使用して、1050℃でGaN単結晶基板12の表面にn型GaN単結晶17を300μmの厚さに成長する(図8(d))。

【0108】次いで、n型GaN単結晶17の成長後、Ga(ガリウム)16の融点以上の35℃まで冷却し、この温度を保持して石英基板15を分離する(図8(e-1))。しかる後、研磨装置を使用して、GaNバッファ層11を研磨除去し、さらに、GaN単結晶層17の表面を鏡面状にポリッシングし、厚さ約300μmのn型GaN単結晶基板17を作製する(図8(e-2))。このようにして、半導体基板として、n型GaN単結晶基板を作製することができる。

【0109】このように、上述のcの工程(図6(c))で、低融点金属16として室温近傍(約30℃)に融点をもつGaを使用し、d、eの工程(図6(d)、(e))におけるIn_xAl_yGa_(1-x-y)N(0≤x≤1, 0≤y≤1, x+y≤1)単結晶17のエピタキシャル成長から、第2の基板15の分離までをGaを凝固させることなく行なうこともできる。この場合には、In_xAl_yGa_(1-x-y)N(0≤x≤1, 0≤y≤1, x+y≤1)単結晶17の結晶成長中および成長後の冷却過程においても、金属Ga(ガリウム)16は溶

融状態であるので、In_xAl_yGa_(1-x-y)N(0≤x≤1, 0≤y≤1, x+y≤1)単結晶層17は第2の基板15と結合していない。そのため、In_xAl_yGa_(1-x-y)N(0≤x≤1, 0≤y≤1, x+y≤1)単結晶層17は、結晶成長中も成長終了後の冷却時も、第2の基板15とIn_xAl_yGa_(1-x-y)N(0≤x≤1, 0≤y≤1, x+y≤1)単結晶層17との熱膨張係数差による熱歪みの影響をまったく受けないので、In_xAl_yGa_(1-x-y)N(0≤x≤1, 0≤y≤1, x+y≤1)単結晶層17を大面積にしてもクラックの発生および反りが無い。従って、クラックや反りの低減された大面積のIn_xAl_yGa_(1-x-y)N(0≤x≤1, 0≤y≤1, x+y≤1)単結晶基板17を作製することができる。

【0110】また、第2の基板15は、単結晶、多結晶、非晶質等が使用できるので、基板選択の幅が広がり、安価な基板を選択することができる。さらに、第2の基板15からIn_xAl_yGa_(1-x-y)N(0≤x≤1, 0≤y≤1, x+y≤1)単結晶層17を第2の基板15を損傷することなく、容易に分離することができるので、基板の再利用が可能である。従って、低コスト化が図られる。また、低融点金属に母材元素と同じGaを使用するので、低融点金属による不純物汚染が低減される。

【0111】また、上述した作製工程例において、第1の基板(単結晶基板)10は、In_tAl_uGa_(1-t-u)N(0≤t≤1, 0≤u≤1, t+u≤1)単結晶薄膜12と同程度の熱膨張係数を有しているのが良い。

【0112】すなわち、第1の基板(単結晶基板)10は、その上に結晶成長するIn_tAl_uGa_(1-t-u)N(0≤t≤1, 0≤u≤1, t+u≤1)単結晶薄膜12と熱膨張係数が同程度であり、In_tAl_uGa_(1-t-u)N(0≤t≤1, 0≤u≤1, t+u≤1)単結晶薄膜12が結晶成長するものであれば良い。例えば、GaNの場合には、GaAsやGGG(Gd₂Ga₂O₇)等が使用できる。GaAsの場合には、(100)GaAsを使用することで、立方晶GaNが成長し、(111)GaAsを使用することで、六方晶GaNを成長することができる。

【0113】このように、第1の基板(単結晶基板)10は、In_tAl_uGa_(1-t-u)N(0≤t≤1, 0≤u≤1, t+u≤1)単結晶薄膜12と同程度の熱膨張係数を有していることによって、第1の基板10との熱膨張係数差によるIn_tAl_uGa_(1-t-u)N(0≤t≤1, 0≤u≤1, t+u≤1)単結晶薄膜12の成長後の冷却時に発生する反りやクラックが少なくなる。これにより、大面積基板に比較的厚いIn_tAl_uGa_(1-t-u)N(0≤t≤1, 0≤u≤1, t+u≤1)単結晶層12を成長することができる。従って、In_tAl_uGa_(1-t-u)N(0≤t≤1, 0≤u≤1, t+u≤1)単結

晶層12を第1の基板10から分離する作業も薄い結晶層を分離する場合に比べて容易になり、歩留まりも向上する。

【0114】また、第1の基板10との熱膨張係数差が小さいので、熱歪みによって、発生する欠陥も熱膨張係数差が大きな基板を使用した場合に比べて低減される。最終的に基板となる $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶層17は、この欠陥の少ない $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) 単結晶層12上に成長するので、欠陥の少ない高品質のものとなる。従って、不純物が少なく、クラックや反りが低減されることに加えて、さらに、大面積で、低コスト、高品質の $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶基板を作製できる。

【0115】また、第1の基板(単結晶基板)10は、 $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) 単結晶薄膜12と熱膨張係数が同程度であれば、その上に積層構造を有していても差し支えない。例えば、後述のように、第1の基板10として、GaAs

基板上にAlAsやGaAsを積層していても良い。
【0116】また、 $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) 単結晶薄膜12の結晶成長方法としては、MOCVD、HVPE、MBE等の手段が使用可能であるが、これは特に限定するものでなく、第1の基板(単結晶基板)10に、 $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) 単結晶薄膜12を結晶成長することができる方法であればその他の方法を用いても良い。

【0117】また、 $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) 単結晶薄膜12を成長する前に、Ga_{0.9}NやAl_{0.1}N等の低温バッファ層やその他の層を先に堆積しても差し支えなく、第1の基板(単結晶基板)10を使用して成長した結晶層の表面層が $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) 単結晶であれば良い。

【0118】図9、図10は図6に示した作製工程例の他の具体例を示す図である。なお、図9、図10の工程例では、半導体基板として、n型Ga_{0.9}N単結晶基板を作製している。

【0119】図9、図10を参照すると、先ず、直径2インチの(111)GaAs基板20上にMOCVD法でAlAs層21、GaAs層22を順次にエピタキシャル成長し、これを第1の基板10とする。そして、この第1の基板10上にGa_{0.9}N層12を成長する。Ga_{0.9}N層12の成長は、MOCVD法で行ない、520℃で水素ガスをキャリアガスとして、III族原料にトリメチルガリウム、V族原料にアンモニア、モノメチルヒドラジンを使用して、Ga_{0.9}Nバッファ層11を約25nm堆積し、その後、750℃に昇温し、Ga_{0.9}N単結晶層11を

20μm成長することによってなされる(図9(a))。

【0120】次いで、有機系の接着剤13で支持基板14にGa_{0.9}N単結晶層12の表面を接着し(図9(b-1))、次いで、フッ酸水溶液に浸し、AlAs層21を選択的にエッチング除去して、GaAs基板20を分離する(図9(b-2))。

【0121】次いで、石英基板15とGa_{0.9}N単結晶層12をGa(ガリウム)16で接着する(図9(c-1))。接着方法としては、石英基板15上にGa(ガリウム)16を載せ、さらにその上に支持基板14に貼り付けたGa_{0.9}N単結晶層12をGaAs層22をGa(ガリウム)16側にして載せ、Ga(ガリウム)16の融点以上の温度に加熱し、Ga(ガリウム)16を溶融状態にして接着する。

【0122】しかる後、有機溶剤で有機系の接着材13を溶解し、支持基板14を分離する(図10(c-2))。このときの温度はGa(ガリウム)16の融点以下とする。

【0123】次いで、Ga_{0.9}N単結晶層12を接着した石英基板15をHVPE装置に移送し、N₂ガスをキャリアガスとして、また、反応ガスにHClガス、III族原料に金属ガリウム、V族原料にアンモニアガス、n型ドーパントガスに四塩化珪素(SiCl₄)を使用して、1050℃でGa_{0.9}N単結晶層12の表面にn型Ga_{0.9}N単結晶17を300μm成長する(図10(d))。

【0124】このように、n型Ga_{0.9}N単結晶17の成長後、Ga(ガリウム)16の融点以上の35℃まで冷却し、この温度を保持して石英基板15を分離する(図10(e-1))。しかる後、研磨装置を使用して、GaAs層22、Ga_{0.9}Nバッファ層11を研磨除去し、さらに、Ga_{0.9}N単結晶層17の表面を鏡面状にポリッシングし、厚さ約300μmのn型Ga_{0.9}N単結晶基板17を作製する(図10(e-2))。このようにして、半導体基板として、n型Ga_{0.9}N単結晶基板を作製することができる。

【0125】図9、図10の作製工程例では、第1の基板10として、(111)GaAs基板20にAlAs層21、GaAs層22を順次に積層したものを使用しており、AlAsとGaAsとのフッ酸によるエッチングの選択比は非常に大きいので、容易にAlAs層21のみをエッチング除去することが可能である。従って、大面積のGa_{0.9}N単結晶層12を容易に、しかもGaAs基板20を損傷することなく分離することができる。よって、大面積で、低コストのGa_{0.9}N基板を作製することが可能となる。

【0126】本発明では、上述したような各作製方法で作製された $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶基板17を提供できる。そして、 $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq$

10

20

30

40

50

1, $x+y \leq 1$) 単結晶17を成長する工程で、n型やp型ドーパントをドーブすることで、所望の伝導型を示す導電性基板を提供できる。

【0127】すなわち、本発明では、Ga_xN系半導体と熱膨張係数差がほとんどなく、かつ、格子整合性、熱伝導性、へき開性、導電性を備えた大面積のIn_xAl_yGa_(1-x-y)N ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶基板を提供できる。

【0128】また、本発明では、上述したように作製されたIn_xAl_yGa_(1-x-y)N ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶基板17上に、少なくとも1つのP-N接合を含む一般式In_vAl_wGa_(1-v-w)N ($0 \leq v \leq 1$, $0 \leq w \leq 1$, $v+w \leq 1$) で表わされるGa_xN系半導体積層構造を積層して、半導体発光素子を提供できる。

【0129】半導体発光素子は、半導体発光素子のp型、n型層に対応した電極に電流が印加され、P-N接合に電流が注入され、キャリアの再結合によって、発光するものである。半導体発光素子を構成するGa_xN系化合物半導体積層構造は、少なくとも1つのP-N接合を有し、このP-N接合に電流が注入され、キャリアの再結合によって、発光する構造であれば、ホモ接合、シングルヘテロ接合、ダブルヘテロ接合、量子井戸構造、多重量子井戸構造、その他どのような構造であっても差し支えない。

【0130】また、本発明では、半導体発光素子の基板にIn_xAl_yGa_(1-x-y)N ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶基板17が用いられており、基板がへき開可能であるので、半導体発光素子を半導体レーザとした場合には、平行性、平滑性の良いへき開によるレーザ共振器ミラーを有することができる。さらに、基板を導電性にするにより（すなわち、In_xAl_yGa_(1-x-y)N ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶基板17にn型やp型ドーパントをドーブすることにより）、基板裏面に電極を形成された発光素子とすることが可能である。

【0131】図11は本発明に係る半導体発光素子の具体例を示す図である。なお、図11の半導体発光素子は半導体レーザとして構成されている。図11を参照すると、この半導体発光素子は、上述したような作製方法で作製したn-GaN単結晶基板17上に、n-GaNバッファ層31、n-Al_{0.15}Ga_{0.85}Nクラッド層32、n-GaN光ガイド層33、In_{0.15}Ga_{0.85}N/In_{0.02}Ga_{0.98}N多重量子井戸構造活性層34、p-GaN光ガイド層35、p-Al_{0.15}Ga_{0.85}Nクラッド層36、p-GaNキャップ層37が順次積層された積層構造を有している。

【0132】そして、この積層構造のp型Ga_xNキャップ層37の表面からp-Al_{0.15}Ga_{0.85}Nクラッド層36の途中まで、幅5 μmの残しストライタパターンを

使用してエッチングされて導波路となるリッジ構造が形成されている。ここで、導波路の方向は、〈1-100〉方向である。

【0133】このようにリッジ構造が形成されることにより露出したp-Al_{0.15}Ga_{0.85}Nクラッド層36表面には、SiO₂からなる保護層38が堆積されている。また、p-GaNキャップ層37上には、p側オーミック電極39が形成されている。また、n-GaN単結晶基板17の裏面には、n側オーミック電極40が形成されている。この半導体レーザの光共振器面は〈1-100〉面をへき開することによって形成されている。

【0134】図11の半導体発光素子において、n-GaNバッファ層31、n-Al_{0.15}Ga_{0.85}Nクラッド層32、n-GaN光ガイド層33、In_{0.15}Ga_{0.85}N/In_{0.02}Ga_{0.98}N多重量子井戸構造活性層34、p-GaN光ガイド層35、p-Al_{0.15}Ga_{0.85}Nクラッド層36、p-GaNキャップ層37は、MOCVD法によって結晶成長した。

【0135】また、p側オーミック電極39は、Au/Pt/Niを真空蒸着し、700℃の温度で、20分間熱処理して形成した。また、n側オーミック電極40は、Al/Tiを真空蒸着し、熱処理して形成した。

【0136】図11の半導体レーザは、p側オーミック電極39、n側オーミック電極40に電流が印加されると、In_{0.15}Ga_{0.85}N/In_{0.02}Ga_{0.98}N多重量子井戸構造活性層34に電流が注入され、キャリアの再結合によって発光し、へき開によって形成された共振器面によって、反射増幅が繰り返され、レーザ光として外部に出力される。

【0137】このように、本発明では、上述したように作製されたIn_xAl_yGa_(1-x-y)N ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶基板17上に、少なくとも1つのP-N接合を含む一般式In_vAl_wGa_(1-v-w)N ($0 \leq v \leq 1$, $0 \leq w \leq 1$, $v+w \leq 1$) で表わされるGa_xN系半導体積層構造を積層して、半導体発光素子が構成されているので、格子不整合や熱膨張係数の違いによる欠陥の発生が抑制された高品質な結晶層からなる発光素子を提供できる。また、基板裏面に電極が形成された発光素子やへき開で形成した共振器ミラーを有する半導体レーザを作製することも可能である。

【0138】

【発明の効果】以上に説明したように、請求項1記載の発明によれば、第1の基板にIn_rAl_sGa_(1-r-s)N ($0 \leq r \leq 1$, $0 \leq s \leq 1$, $r+s \leq 1$) 単結晶薄膜を形成する工程と、In_rAl_sGa_(1-r-s)N ($0 \leq r \leq 1$, $0 \leq s \leq 1$, $r+s \leq 1$) 単結晶薄膜をIn_xAl_yGa_(1-x-y)N ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶と熱膨張係数がほぼ同等である第2の基板に貼り付ける工程と、第1の基板からIn_rAl_sGa_(1-r-s)N ($0 \leq r \leq 1$, $0 \leq s \leq 1$, $r+s \leq 1$) 単結晶薄膜を分離

する工程と、第2の基板に貼り付けられた $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq r \leq 1$, $0 \leq s \leq 1$, $r+s \leq 1$) 単結晶薄膜上に、 $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶をエピタキシャル成長する工程と、第2の基板から $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶を分離する工程とにより、 $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶を半導体基板として作製するので、熱膨張係数差の大きな基板に厚く成長することによるクラックの発生や反りがなく、実用的な面積の $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶基板が作製できる。また、第2の基板は、熱膨張係数が $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶とほぼ同等であるので、その結晶構造や格子定数は異なっても差し支えなく、これにより、基板選択の幅が増え、安価な基板を選択することで、低コストで $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶基板が作製できる。

【0139】また、請求項2記載の発明によれば、請求項1記載の半導体基板の作製方法において、第2の基板は、多結晶 $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) 基板であるので、熱膨張係数差の大きな基板に厚く成長することによるクラックの発生や反りがなく、実用的な面積の $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶基板が作製できる。また、構成元素が同一であるので、基板からの不純物の混入が低減できる。

【0140】また、請求項3記載の発明によれば、請求項2記載の半導体基板の作製方法において、 $\text{In}_r\text{Al}_s\text{Ga}_{(1-r-s)}\text{N}$ ($0 \leq r \leq 1$, $0 \leq s \leq 1$, $r+s \leq 1$) 単結晶薄膜、多結晶 $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) 基板、 $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶の組成がすべて同一であるので、熱膨張係数差によるクラックの発生や反りがより一層低減され、より高品質の実用的な面積の $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶基板が作製できる。また構成元素が同一であるので、基板からの不純物も低減される。

【0141】請求項4記載の発明によれば、第1の基板に $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) 単結晶薄膜を形成する工程と、第1の基板から $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) 単結晶薄膜を分離する工程と、 $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) 単結晶薄膜を低融点金属を介して第2の基板に貼り付ける工程と、第2の基板に貼り付けられた $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶薄膜上に、低融点金属の融点以上の温度で、 $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶をエピタキシャル成長する工程と、第2の基板から $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶を低融点金属の融点以上の温度で分離する工程とにより、 $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶を半導体基板として作製するので、クラックや反りが低減された実用的な面積の $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶基板を低コストで作製することができる。

$\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶をエピタキシャル成長する工程と、第2の基板から $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶を低融点金属の融点以上の温度で分離する工程とにより、 $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶を半導体基板として作製するので、クラックや反りが低減された実用的な面積の $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶基板を低コストで作製することができる。

【0142】また、請求項5記載の発明によれば、第1の基板に $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) 単結晶薄膜を形成する工程と、第1の基板から $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) 単結晶薄膜を分離する工程と、 $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) 単結晶薄膜を溶融状態の金属Gaを介して第2の基板に貼り付ける工程と、第2の基板に貼り付けられた $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) 単結晶薄膜上に、金属Gaの融点以上の温度で、 $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶をエピタキシャル成長し、金属Gaを凝固させずに冷却させる工程と、第2の基板から $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶を金属Gaの融点以上の温度で分離する工程とにより、 $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶を半導体基板として作製するので、不純物が少なく、クラックや反りが低減された実用的な面積の $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶基板を低コストで作製することができる。

【0143】また、請求項6記載の発明によれば、請求項4または請求項5記載の半導体基板の作製方法において、前記第1の基板は $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1$, $0 \leq u \leq 1$, $t+u \leq 1$) 単結晶薄膜と同程度の熱膨張係数を有しているので、クラックや反りが低減された実用的な面積の高品質な $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶基板を低コストで作製することができる。

【0144】また、請求項7記載の発明によれば、請求項1乃至請求項6のいずれか一項に記載の作製方法によって作製された $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶からなるので、GaN系半導体との格子整合性、熱伝導性、へき閉性、導電性を備えた大面積の $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶基板を提供できる。

【0145】また、請求項8記載の発明によれば、請求項7の $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) 単結晶の半導体基板上に、少なくとも

一つのP-N接合を含む一般式 $\text{In}_v\text{Al}_w\text{Ga}_{(1-v-w)}\text{N}$ ($0 \leq v \leq 1, 0 \leq w \leq 1, v+w \leq 1$)で表わされるGaN系半導体積層構造が積層されて構成されているので、欠陥が低減された高品質な結晶層からなる半導体発光素子を提供できる。また、基板裏面に電極が形成され、へき開による共振器ミラーを有する半導体レーザを提供できる。

【図面の簡単な説明】

【図1】本発明に係る半導体基板の作製工程例を示す図である。

【図2】図1に示した半導体基板の作製工程例の具体例を示す図である。

【図3】第2の基板を多結晶 $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1$)基板にする場合の作製工程例を示す図である。

【図4】 $\text{In}_r\text{Al}_s\text{Ga}_{(1-r-s)}\text{N}$ ($0 \leq r \leq 1, 0 \leq s \leq 1, r+s \leq 1$)単結晶薄膜、多結晶 $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1$)基板、 $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$)単結晶の組成をすべて同一にする場合の作製工程例を示す図である。

【図5】本発明に係る半導体発光素子の具体例を示す図である。

【図6】本発明に係る半導体基板の作製工程例を示す図である。

【図7】図6に示した半導体基板の作製工程例の具体例を示す図である。

【図8】図6に示した半導体基板の作製工程例の具体例を示す図である。

【図9】図6に示した半導体基板の作製工程例の具体例を示す図である。

【図10】図6に示した半導体基板の作製工程例の具体例を示す図である。

【図11】本発明に係る半導体発光素子の具体例を示す図である。

【図12】従来の半導体レーザを示す図である。

【図13】従来の半導体レーザを示す図である。

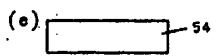
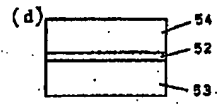
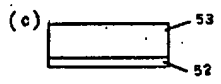
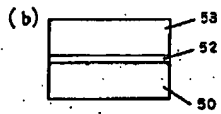
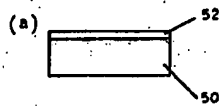
【符号の説明】

- 10 第1の基板(単結晶基板)
- 11 GaNバッファ層
- 12 $\text{In}_t\text{Al}_u\text{Ga}_{(1-t-u)}\text{N}$ ($0 \leq t \leq 1, 0 \leq u \leq 1, t+u \leq 1$)単結晶薄膜
- 13 有機系の接着剤
- 14 支持基板
- 15 第2の基板
- 16 低融点金属(インジウムまたはガリ

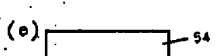
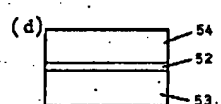
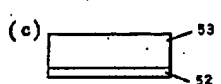
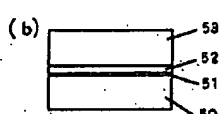
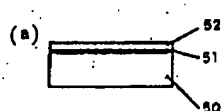
ウム)

- 17 $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$)単結晶基板
- 20 (111)GaAs基板
- 21 AlAs層
- 22 GaAs層
- 31 n-GaNバッファ層
- 32 n-Al_{0.1}Ga_{0.9}Nクラッド層
- 33 n-GaN光ガイド層
- 10 34 $\text{In}_{0.1}\text{Ga}_{0.9}\text{N} / \text{In}_{0.02}\text{Ga}_{0.98}\text{N}$ 多重量子井戸構造活性層
- 35 p-GaN光ガイド層
- 36 p-Al_{0.1}Ga_{0.9}Nクラッド層
- 37 p-GaNキャップ層
- 38 SiO₂からなる保護層
- 39 p側オーミック電極
- 40 n側オーミック電極
- 50 第1の基板(単結晶基板)
- 51 GaNバッファ層
- 20 52 $\text{In}_r\text{Al}_s\text{Ga}_{(1-r-s)}\text{N}$ ($0 \leq r \leq 1, 0 \leq s \leq 1, r+s \leq 1$)単結晶薄膜
- 53 第2の基板
- 54 $\text{In}_x\text{Al}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, x+y \leq 1$)単結晶
- 111 (0001)サファイア基板
- 112 n型GaN低温バッファ層
- 113, 132 n型のGaNからなる高温バッファ層
- 114 SiO₂選択成長マスク
- 30 115, 133 n-In_{0.1}Ga_{0.9}Nクラック防止層
- 116, 134 n-Al_{0.1}Ga_{0.9}N/GaN MD-SLS(モジュレーションドープ歪み超格子)クラッド層
- 117, 135 n-GaN光ガイド層
- 118, 136 $\text{In}_{0.1}\text{Ga}_{0.9}\text{N} / \text{In}_{0.02}\text{Ga}_{0.98}\text{N}$ MQW活性層
- 120, 138 p-GaN層光ガイド層
- 121, 139 p-Al_{0.1}Ga_{0.9}N/GaN MD-SLSクラッド層
- 40 122, 140 p型GaN層キャップ層
- 123, 143 P側電極
- 124, 142 SiO₂保護層
- 125, 141 n側電極
- 131 (0001)面GaN基板

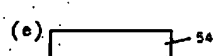
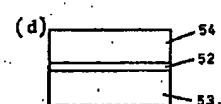
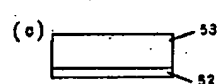
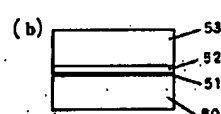
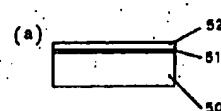
【図1】



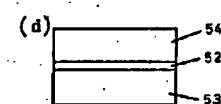
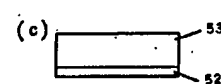
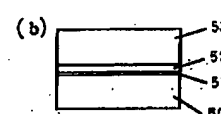
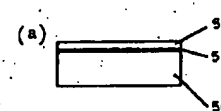
【図2】



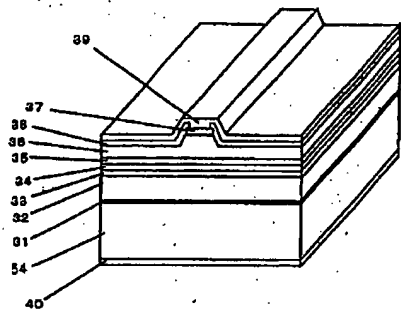
【図3】



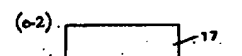
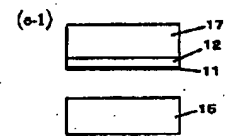
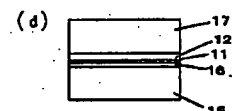
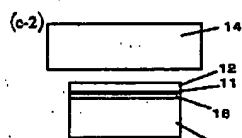
【図4】



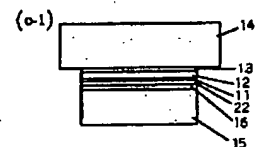
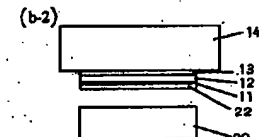
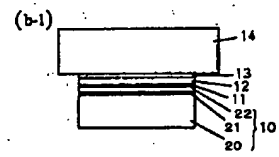
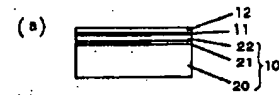
【図5】



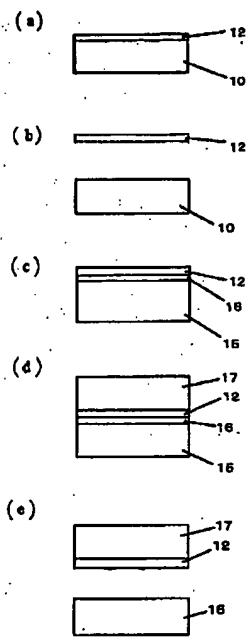
【図8】



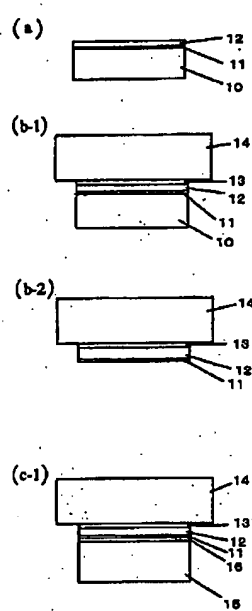
【図9】



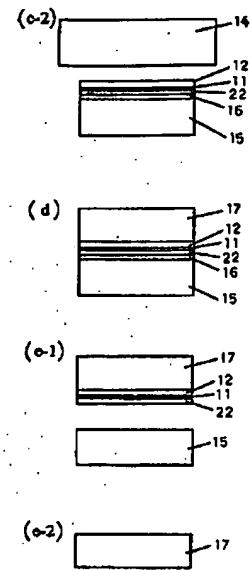
【図6】



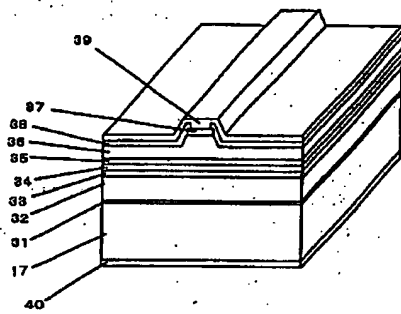
【図7】



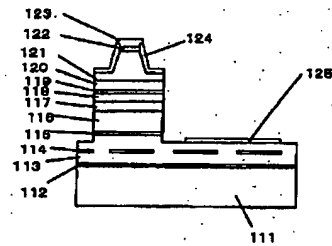
【図10】



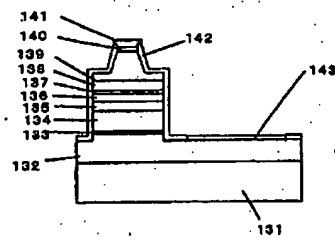
【図11】



【図12】



【図13】



フロントページの続き

(51)Int.Cl.⁷

識別記号

F I

テーマコード (参考)

H 0 1 S 5/343

H 0 1 S 5/343

F ターム (参考) 4G077 AA03 BE11 BE15 DB08 ED06
 FJ03 FJ06 HA02 HA12 TA04
 5F041 AA40 CA02 CA03 CA04 CA05
 CA14 CA23 CA34 CA40 CA65
 CA74 CA82 CA92 FF16
 5F045 AA02 AA04 AB09 AB14 AB17
 AB31 AB32 AC07 AC12 AC15
 AC19 AD14 AE29 AF01 AF04
 AF07 AF09 CA09 CA10 CA11
 CA12 CB01 CB02 DA51 DA52
 DA53 DA54 DA55 DA57 DA62
 DA63 DA64 DB01 GH08 GH09
 HA11 HA12 HA14 HA16
 5F073 AA13 AA74 CA07 CB02 CB04
 CB05 CB07 DA05 EA29
 5F103 AA04 DD01 GG01 HH03 HH04
 JJ01 JJ03 KK01 LL01 LL02
 LL03 LL16 LL17 LL18 PP03
 PP07 RR08 RR10